

一維雙模提升式離散小波轉換之提高精準度 VLSI 架構設計

夏至賢* 李子暄 魏成恩

中國文化大學電機工程學系

摘 要

一維雙模提升式離散小波轉換在超大型積體電路架構設計中常因運算時產生訊號誤差影響的問題。有鑑於此，本文改善其硬體架構以解決上述問題並針對其硬體作有效地設計：第一，以乘數與乘積共用暫存器的方式取代了傳統內部所有使用到乘法器部分之架構，達到面積與運算複雜度兩者兼顧的優勢；第二，在考慮提升式架構下因臨界路徑過長所產生硬體運算時間過長的問題，提出平行架構結合管線式架構以解決其 VLSI 設計的問題。由實驗結果得知，本文所提出上述的混合式 VLSI 架構可達到降低運算誤差值至 5.68% 以及提升 17% 的硬體使用率，適合應用於嵌入式硬體平台。

關鍵詞： 訊號誤差影響、16×16 位元乘法器、離散小波轉換、管線與平行架構處理。

Precise VLSI Architecture Design of 1-D Dual-Mode LDWT

Chih-Hsien Hsia* Zi-Xuan Li Cheng-En Wei

Department of Electrical Engineering, Chinese Culture University, Taiwan

ABSTRACT

1-D Dual-mode Lifting-based Discrete Wavelet Transform (LDWT) often experiences a wordlength effect during computation in Very Large Scale Integration (VLSI). Thus, this work improved the hardware architectures to solve this problem with an effective design. First, common multiplier and product registers replaced all conventional internal multipliers to improve area and computation complexity. Second, to combat long computation times due to long critical paths, parallel and pipeline architectures were combined to solve the VLSI problems. As results, show that the hybrid VLSI architecture proposed in this work could reduce computation errors to 5.68% and increase hardware usage by 17%, making it perfect for embedded hardware platforms.

Keywords: Wordlength effect, 16×16 bit multiplier, Discrete wavelet transform, Pipeline and Parallel architecture.

文稿收件日期 104.11.5;文稿修正後接受日期 105.3.29; *通訊作者

Manuscript received November 5, 2015; revised March 29, 2016; * Corresponding author

一、前言

離散小波轉換(Discrete Wavelet Transform, DWT)被廣泛應用於各類領域，它具有多重解析(Multiresolution)訊號的特性把訊號(Signal)由時間或空間域(Time/Spatial domain)轉換至頻率域(Frequency domain)，將每個像素視為獨立數值，利用鄰近數值做高頻(High Frequency, H.F.)訊號的預測(Prediction)以及低頻(Low Frequency, L.F.)訊號的更新(Update)進而取得 DWT 之係數。但實現於超大型積體電路(Very Large Scale Integration, VLSI)時，容易產生臨界路徑(Critical path)較長與其硬體成本較高此問題。近年來，有許多文獻針對一維提升式離散小波轉換(One-Dimensional Lifting-based Discrete Wavelet Transform, 1-D LDWT)的 VLSI 架構作改良與探討。

根據文獻[1]提出之有效的雙模式 1-D LDWT，論文中使用移位相加(Shifter and Adder, SAA)的方式來取代傳統乘法器(Multiplier)以節省硬體面積；但導致訊號在運算過程中部分訊號因位元精準度處理不良而產生訊號失真，以至於產生訊號誤差的現象(Wordlength effect)。文獻[2]亦為了要節省硬體成本，使用 SAA 取代乘法器，但其架構運算有浮點數(Fraction part)的位元限制。在文獻[3]中提出以平行分佈式運算(Parallel distributed arithmetic)的架構，配合乘法器和累加器(Accumulator)的功能實現其 VLSI 架構；然而，其架構中廣泛使用查表法(Look-Up Table, LUT)來取代硬體成本較高的乘法器，但隨著取樣資料量的增加帶動著記憶體(Memory)空間增加，對於 VLSI 硬體架構的成本與所需面積均為一大問題。Nagabushanam *et al.* [4]所提出的 FPGA 架構中，在 DWT 硬體架構上使用了乘法器的架構，但相對的為了節省硬體成本，此方法在乘法器內部運算使用六位元的 SAA 取代之；相對地，在計算的同時也會捨去較多

資訊並產生訊號的誤差。Sowjanya *et al.* [5]提出管線架構(Pipeline architecture)以達到最佳化硬體資源，他們使用了五級的管線架構，但也造成了乘法器使用數量增加，也產生暫存器(Register)增加以及運算時間較長的問題。Hsieh *et al.* [6]利用三級管線架構來完成 LDWT，有效縮短臨界路徑(Critical path)，但因此架構僅能使用於 5/3 模式，然而在 9/7 模式下之 LDWT 處理而言，除了實用性方面受到限制外，臨界路徑的問題也無法解決。Chandrashekhara *et al.* [7]使用管線架構，並提高速度，但相對地運算速度的提升，使得內部暫存器元件也隨之增加。

然而，乘法器在數位積體電路設計的應用越來越廣，且存在於各大電子產品中中央處理單元(Central Processing Unit, CPU)的算術邏輯單元(Arithmetic/Logic Unit, ALU)。也因為手持式裝置的普及使得其電路面積有所限制，故要設計能應用於嵌入式系統(Embedded system)的架構設計，成為目前相當重要的研究趨勢。Lin *et al.* [8]提出自適性乘法器，其自適性保留邏輯電路(Adaptive hold logic)架構使用最少資源的乘法器，但延遲的時間較長。Vijayalakshmi *et al.* [9]使用的是 Vedic 乘法器(Vedic Multiplier, VM)，其演算法是將乘數與被乘數都分成最高有效位元(Most Significant Bit, MSB)與最低有效位元(Least Significant Bit, LSB)各一半，其交叉相乘後再相加並以乘積右移與不同的加法器(Adder)作實現，最後其實驗結果較文獻[8]減少其硬體面積，但是運算的複雜度相較為高。文獻[10]改良 VM 的架構，將 VM 加法器改為進位節省加法器(Carry Save Adder, CSA)，減少中間的進位傳輸時間，相反地，也增加其硬體面積。Soni *et al.* [11]提出一個布斯乘法器(Booth Multiplier, BM)，其建置一個 LUT 架構，根據 LUT 進行乘加器(Multiplier and Adder Converter, MAC)運算和移位。雖然其設計可減少運算複雜度，

但也增加許多硬體面積。BM 演算法雖然可以降低運算複雜度，但是乘數若為 01 或 10 狀態時，配合 LUT 時會產生最大的延遲。以上乘法器雖然具有較快的速度，但其面積較大，未來應用於低成本(Low cost)的嵌入式系統平台上的考量較不適用。

由上述文獻得知，雖然前人提出諸多方式來解決 VLSI 硬體使用率與處理時間的問題；但是在雙模式下的訊號精準度、硬體面積、臨界路徑等問題還可以做有效地提升。因此，我們提出以一維雙模 LDWT(9/7 與 5/3 小波係數濾波器)VLSI 硬體架構設計，可以增加其應用的範圍。針對乘法器產生訊號精準度與臨界路徑的缺點，本文加入計數器與時脈訊號，利用輸入為 16 位元的乘法器以增加其浮點數並維持訊號位元之運算。由結果得知，可以解決前人[1]提出的 VLSI 架構所產生訊號誤差之問題。另外，利用乘數與乘積共用暫存器的設計以減少面積。最後，採用提出改良是乘法器架構並配合管線架構(Pipelining architecture)兼顧訊號與速度的效能，以便未來應用於低成本的嵌入式平台使用。

本論文分為五個章節，在第二章將簡單的介紹傳統 LDWT 以及乘法器的演算法；接著在第三章中，說明本文所提出的 VLSI 硬體架構與其分析；第四章則是探討其硬體設計的模擬結果與比較；最後，在第五章做結論。

二、一維提升式離散小波轉換與乘

法器演算法

2.1 傳統離散小波架構

傳統 1-D DWT 架構如圖 1 所示，我們先將取樣長度為 n 的原始訊號 $X_{[n]}$ 輸入並進行運算，可以將訊號的高頻部分濾除並且只低頻訊號輸出 $L_{[n]}$ ，又其中低通濾波器係數

$g_{[k]}$ (Low-pass filter)，如式(1)所示；相對地，將長度為 n 的原始訊號 $X_{[n]}$ 輸入進行運算，可以得到較高頻的輸出 $H_{[n]}$ ，其中 $h_{[k]}$ (High-pass filter)高通濾波器，如式(2)所示。

$$L_{[n]} = \sum_{k=0}^{K-1} x[2n - k]g[k] \quad (1)$$

$$H_{[n]} = \sum_{k=0}^{K-1} x[2n - k]h[k] \quad (2)$$

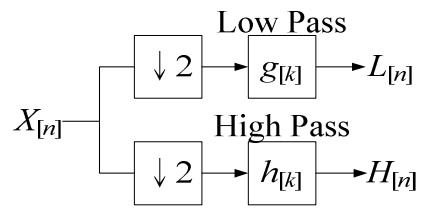


圖 1. 1-D DWT 基本架構

2.2 提升式架構

傳統一維迴旋積式 (Convolution-based) DWT 架構的硬體使用效率相較提升式 (Lifting-based) 架構只有 50%[1-2]。一般 LDWT 主要由四個部分所組成，即為分離模組 (Split phase)、預測模組 (Predict phase)、更新模組 (Update phase)、以及調整模組 (Scaling function)，如圖 2 所示。

1) 分離模組：用於將原始訊號 $X_{[n]}$ 分為奇數訊號 $X_{o[n]}$ 與偶數訊號 $X_{e[n]}$ 。

2) 預測模組：將奇數訊號經過一預測單元產生偶數訊號的差值訊號，進而得到高頻離散小波係數 $d_{[n]}$ 。

$$d_{[n]} = X_{o[n]} + P \times (X_{e[n]}) \quad (3)$$

3) 更新模組：將 $d_{[n]}$ 之訊號，經過一個低通係數，再將其結果與奇數訊號相加後產生低頻離散小波係數 $s_{[n]}$ 。

$$s_{[n]} = X_{e[n]} - U \times (d_{[n]}) \quad (4)$$

4) 調整模組：最後，將高、低頻訊號做一個正規化的動作，即 $d_{[n]}$ 與 $s_{[n]}$ 乘上一個係數 $k_{[n]}$ 與 $1/k_{[n]}$ 可求得的離散小波係數。

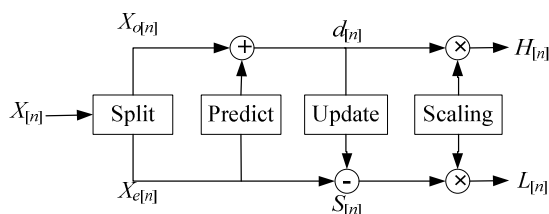


圖2. 提升式架構

2.3 雙模提升式 5/3 與 9/7 離散小波轉換

1-D LDWT 依據應用可分為兩種模式 (Dual mode)，即 9/7 與 5/3 濾波器。前者採用浮點數運算的 DWT，而 5/3 濾波器採用整數 (Integer point)DWT。然而，提升式演算法具有規則而有效的矩陣結構特性，每一個係數只須經由簡單的 MAC 運算，即可產生高頻或低頻係數輸出。假設連續的一維原始訊號為 $s_{[0]}, d_{[0]}, s_{[1]}, d_{[1]}, \dots, s_{[n]}$ ；若要獲得 $d_{[0]}$ 的高頻訊號，則 $d_{[0]}^1 = d_{[0]} + (-1/2) \times (s_{[0]} + s_{[1]})$ ，如式(5)所示。相同地，若要求得低頻訊號 $s_{[1]}$ ，則須先將所求得的 $d_{[0]}$ 與 $d_{[1]}$ 之高頻訊號代入式中，如式(6)所示：

$$d_{[n]}^1 = d_{[n]}^0 - 1/2 \times (s_{[n]}^0 + s_{[n+1]}^0) \quad (5)$$

$$s_{[n]}^1 = s_{[n]}^0 + 1/4 \times (d_{[n-1]}^1 + d_{[n]}^1) \quad (6)$$

提升式 9/7 濾波器演算法較 5/3 濾波器演算法多一倍之運算量才能得到一維離散小波係數的輸出結果，其運算式如(7-10)式所示。

$$d_{[n]}^1 = d_{[n]}^0 + a \times (s_{[n]}^0 + s_{[n+1]}^0) \quad (7)$$

$$s_{[n]}^1 = s_{[n]}^0 + b \times (d_{[n-1]}^1 + d_{[n]}^1) \quad (8)$$

$$H_{[n]}^2 = d_{[n]}^1 + c \times (s_{[n]}^1 + s_{[n+1]}^1) \times 1/k_{[n]} \quad (9)$$

$$L_{[n]}^2 = s_{[n]}^1 + d \times (H_{[n-1]}^2 + H_{[n]}^2) \times k_{[n]} \quad (10)$$

其 $a = -1.586134342059924$; $b = -0.052980118572961$; $c = 0.882911075530934$; $d = 0.443506852043971$; $1/K_{[n]} = 0.81293066$; $K_{[n]} = 1.230174104914001$.

2.4 傳統乘法器演算法

乘法器的基本概念就是直式算法的過程，以 2's 補數進行運算，在進行直式計算的過程

中，所有的部分乘積同時產生並且組成一個矩陣，運用多組部分乘積相加來計算最終的乘積，其方法如圖 3 所示。這一組運算對應到電路，所形成的結構稱為矩陣乘法器 (Array Multiplier, AM)。例如，以 4x4 位元計算最為基本說明(本文利用 16x16 位元為主)，利用兩項數值進行運算， $Z = X \times Y$ ，其 Z 為乘積 (Product)、X 為被乘數 (Multiplicand)，即 $X = x_3x_2x_1x_0$ 與 Y 乘數 (Multiplier)，即 $Y = y_3y_2y_1y_0$ 的計算過程。

$$\begin{aligned} Z &= \sum_{i=0}^{N-1} Zi2^i \\ &= (\sum_{i=0}^{N-1} Xi2^i)(\sum_{i=0}^{N-1} Yi2^i) \\ &= \sum_{i=0}^{N-1} (\sum_{i=0}^{N-1} XiYi2^{2i}) \end{aligned}$$

其 $X = \sum_{i=0}^{N-1} Xi2^i$ ，X 的值由二的補數表示； $Y = \sum_{i=0}^{N-1} Yi2^i$ ，Y 的值由二的補數表示；i 為第幾個位元； $Xi, Yi, \epsilon\{0, 1\}$ 。

由乘數的最右邊位元向最左邊位元逐一進行處理。判斷目前所處理的位元是 0 或 1；當判斷為 0 時，即不改變部分乘積 (Partial product) 的值，把被乘數左移一位；反之，當判斷為 1 時，則是將當時被乘數的值加入部分乘積並持續將被乘數左移一位。最後，完成所有被乘數的加法之後，即可得乘積結果。以數學公式作進位 (Carry) 以 c 表示。

$$\begin{aligned} z_0 &= x_0 y_0 \\ z_1 &= x_1 y_0 + x_0 y_1 \\ z_2 &= c_1 + x_2 y_0 + x_1 y_1 + x_0 y_2 \\ z_3 &= c_2 + x_3 y_0 + x_2 y_1 + x_1 y_2 + x_0 y_3 \\ z_4 &= c_3 + x_3 y_1 + x_2 y_2 + x_1 y_3 \\ z_5 &= c_4 + x_3 y_2 + x_2 y_3 \\ z_6 &= c_5 + x_3 y_3 \\ z_7 &= c_6 \end{aligned}$$

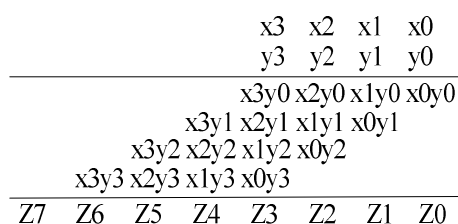


圖 3. 乘法器運算方式(以 4x4 位元為例)

三、提出之一維雙模提升式離散小波轉換 VLSI 架構

在此章節中，將提出本文所設計之 VLSI 架構，並討論電路中所提出的兩個 VLSI 架構設計的概念，其中分為：1)管線與平行架構設計、以及 2)改良式乘法器架構設計。

3.1 管線與平行之混合式架構設計

管線架構處理可以將高頻與低頻各自獨立分開處理，並且將後續計算單元利用並列以及平行架構來進行運算，以達到節省運算時間之目的。在進入 DWT 模組運算前，本文採用

鏡面映射方式處理邊界延伸 (Boundary extension)[1-2,12]以適用於 JPEG2000 壓縮系統。如圖 4 所示，本文提出三級管線架構設計一個具有雙模 DWT 硬體架構；其架構中可以依照使用者需求，來進行 9/7 或 5/3 濾波器組係數的切換，同時將其輸入訊號的原始奇數、偶數訊號經過一次計算後，再將其輸出小波值迴授至輸入端。而下一次的奇數、偶數原始訊號又接著輸入至系統，交互依序的進行交換計算。使用如此的管線架構設計，相較於傳統 VLSI 的架構而言，可以節省一半的硬體使用面積並增加使用率，且無須額外設置選擇線控制輸入訊號值到正確的係數路徑。

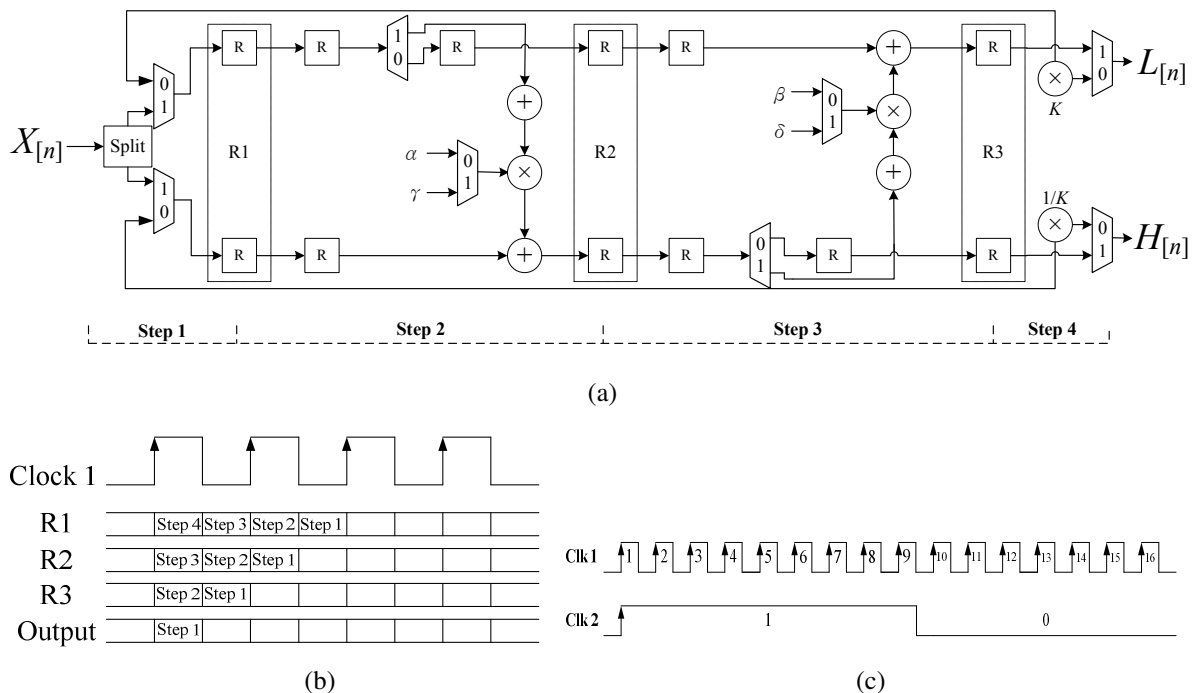


圖 4. 本文所提出之高精度電路系統：(a) VLSI 架構設計；(b) 管線架構暫存器與時序之關係；(c) 乘法器觸發時序

由圖 4(a)所示，本文提出以乘法器取代 MAC 架構，當利用選擇器所選出的係數進行計算時，因文獻[1]之電路所使用 SAA 架構，會產生訊號誤差(Wordlength effect)。而本文提出改良式乘法器進行運算，因浮點數(Fraction part)部分所能被計算的位元數增加，故可以有

效的提升準確度。如圖 4(b)所示，R1、R2 與 R3 為三個不同階層的管線，在此視為為了確保訊號的正確性所設立的暫存器，而此暫存器的作用為統一所有管線所完成的時間，當全部管線都完成計算動作後，再同步將所有各級管線的值往下一階層傳遞，此作法同時也能確保

每個階層的正确性。在圖 4(c)中，本文亦使用利用除頻器的架構，將一個時序劃分為兩個，其原因為乘法器在進行運算時，每一個位元需要用到一個時脈(Clock, Clk)來進行運算與儲存，且為了達到其省時間之目的。本文將乘法器所使用的時序與 DWT 模組使用的時序分別獨立，其優點在於當 DWT 模組在進行運算時，乘法器也能進行同步運算，並且兩者間不會因為時序所導致的延遲而有所干擾。

3.2 改良式乘法器設計

由上述得之，乘法器在 VLSI 架構設計上的硬體成本與訊號精準度都是以來的問題。因此，本文提出一個改良式乘法器的 VLSI 設計提升訊號的完整性。一般的 AM，除了進行被乘數、乘數、以及乘積的輸出宣告外，還要比改良的乘法器多用一個乘數暫存器，故會增加硬體成本的缺點。部分乘積每次最多有 N 個位元作加法運算，在完成第 i 次的加法後，其中最右 i 個位元不再需要作後續的運算。被乘數左移的功用，只是要讓其 LSB 對應到部分乘積的較高一位元，也就是從右邊數來第二個位元，以針對下一個處理位元進行運算，以圖 3 所示。

在本文所提出的改良之乘法器，因為乘數與乘積共用一個暫存器。每次完成處理位元的運算後，立即把部分乘積右移一個位元以維持運算的正确性，如圖 5(a)所示。其改良式乘法器有以下的優點：1) 利用右移之後的部分乘積與被乘數相加法即可完成；2) 被乘數長度維持為 N 位元；3) 部分乘積的一半與乘數共用一個暫存器，可節省一個 N 位元暫存器的電路。另外，共用暫存器動作原理，如圖 5(b)所示。

$$\begin{array}{r}
 1101 \\
 \times 1011 \\
 \hline
 1101 \\
 1101 \\
 + 1101 \\
 \hline
 100111 \\
 100111 \\
 0000 \\
 \hline
 1001111 \\
 + 1101 \\
 \hline
 10001111 \\
 10001111 \\
 \hline
 \end{array}$$

第一次運算的部分乘積
第一次運算的部分乘積右移
第二次運算的部分乘積
第二次運算的部分乘積右移
第三次運算，因為遇到0，第二次部分乘積直接右移
第四次運算的部分乘積
第四次運算的部分乘積右移

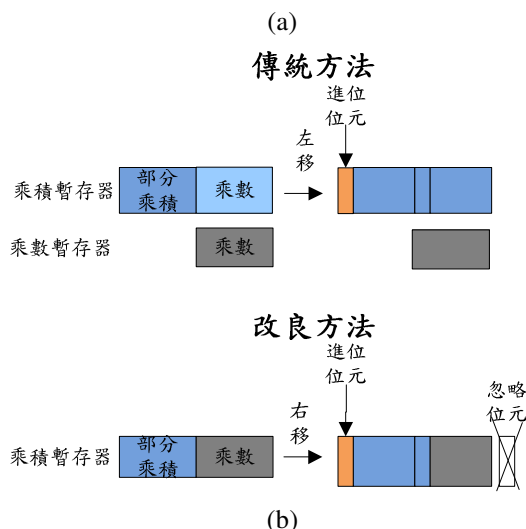


圖 5. 以 4×4 為例作為改良式乘法器示意:(a) 其直式算法示意；(b) 節省乘數暫存器

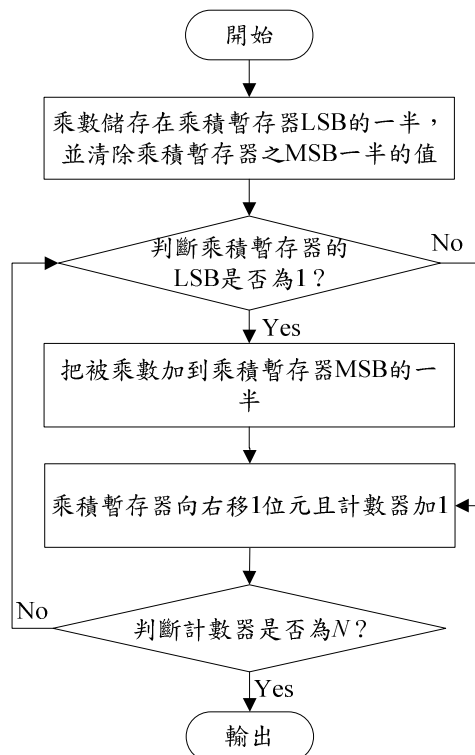


圖 6. 本文提出改良乘法器之流程

另外，為了節省乘法器的硬體面積，我們改良其 $N \times N$ 乘法器之電路設計需具備有 N

位元的被乘數暫存器、 $2N$ 位元的乘積暫存器、以及 $\log_2^N + 1$ 位元的計數器，如圖 6 所示。首先，將乘數儲存在乘積暫存器之 LSB 的一半(儲存在 b3-b0)，並清空乘積暫存器之 MSB 一半的值(清空 b7-b4)。接下來，若乘積暫存器的 LSB 是 1，就把被乘數與乘積暫存器之 MSB 的一半(b7-b4)相加，接著把乘積暫存器的值向右移位 1 位元；若乘積暫存器的 LSB 為 0，即直接把乘積暫存器的值右移 1 位元。接下來，計數器的值從 0 開始。每完成一次上述過程，則計數器加 1；最後，重複上述步驟 N 次。

四、實驗分析與比較

本文提出的 1-D LDWT 之 VLSI 架構設計，利用 Verilog 硬體描述語言開發配合 Xilinx ISE 編譯器做功能模擬。輸入訊號為 16 位元，且為了提升訊號的精確度，在輸出、入間設置移位暫存器保持為 32 位元的整數與 16 位元的浮點數，故輸出為 16 位元的精準的小波訊號值。最後在 Xilinx FPGA 晶片為 Spartan3 系列的 XC3S50 作為測試。

表 1 中，可以發現因為使用了改良乘法器方法，相較 Sonil *et al.* [11] 使用 VM 架構中將乘數與被乘數分成一半相乘再相加以及

Shelke *et al.* [13] 在 VM 架構中增加了節省進位加法器(Carry Save Adder, CSA)，亦或是[10] 布斯乘法器(Booth's Multiplier, BM)中提出的 LUTs 方法，在比較下本文大幅減少硬體面積 (Number of slice) 與硬體使用資源 (Number of 4 input LUTs)。

依據表 2 所示，本文所提出的架構，與近年的文獻[1]架構相比，在硬體的使用率上明顯有提升性了 17%。另外，同時也能夠達到輸出誤差率相對降低的優勢。最後，本文相較於文獻[1, 4-7, 14-16]下，其硬體與處理時間上均能有權衡(Trade-off)的表現。我們輸入一張 128x128 之灰階 Lena 影像進行測試，並針對輸出訊號的像素(Pixel)作能量統計，如圖 7 所示。雙實線部分是在 64 位元 Windows 7 作業系統下利用 Matlab 編譯 1-D LDWT 演算法所得之輸出值；虛線部分則為近年論文[1]所得到經過硬體處理過 16 位元之 MAC 後之結果；實線部分為本文所提出的高效能 16 位元之 MAC 硬體架構之結果。由圖可知，利用改良式乘法器的架構其運算的結果值與一般 1-D LDWT 輸出較為接近，故能夠有效提升準確度，其相對於一般 64 位元所得到的 1-D LDWT 平均誤差值為 5.68% 優於文獻[1]，明顯可以發現本文獲得有效改善約 6% 的平均準確度。

表 1. 提出之改良式乘法器比較

Methods	[10]	[11]	[12]	This work
# of slice	456	345	310	52
# of 4 input LUTs	799	622	541	72
# of bonded IOBs	64	64	64	67

表 2. 1-D LDWT 硬體使用率之比較

Architecture	[1]	[4]	[5]	[6]	[7]	[14]	[15]	[16]	This work
# of adder	9	4	8	4	12	11	18	8	2

# of multiplier	0	2	6	2	2	0	9	5	2
Critical path	8Ta	4Ta	8Ta + 6Tm	N/A	4Ta	11Ta	4Ta + 6Tm	8Ta + 5Tm	4Ta

*Ta 為訊號經過加法器的運算時間、Tm 為訊號經過乘法器的運算時間

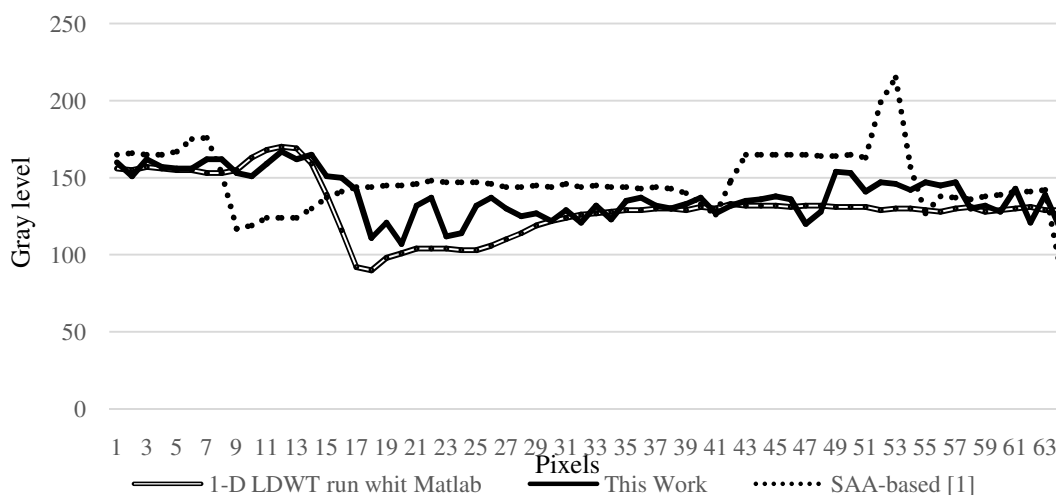


圖 7. 本文與近年文獻低頻誤差的比較

五、結論

本文提出有效的硬體架構以解決 1-D LDWT 的 VLSI 架構以及訊號精準度問題，主要提出解決運算單元僅單一模式(5/3 或 9/7)濾波器係數應用、訊號精準度、以及硬體處理時間等問題。利用管線架構配合平行式架構達到雙模式係數降低硬體資源使用並增加其應用範圍。另外，本文中亦解決傳統乘法器所產生電路面積過大的問題，並其架構除了 16 位元外，未來也能夠依據應用，擴展到 32 位元或 64 位元的 1-D LDWT 架構中。其改良式乘法器架構能夠提升準確度，同時也能夠節省硬體所需成本與運算空間。由實驗得知，本文所提出的方法實現於 Xilinx FPGA 中做驗證，結果僅需臨界路徑為 4Ta、潛在時間(Latency)為 12.7ns、功率消耗(Power consumption)為 2.4mV、以及最大工作頻率在 113.63MHz 以達到的低硬體資源、低功率、且增加速度的 VLSI

硬體架構，在未來適合實現於低成本的嵌入式平台。

參考文獻

- [1] Hsia, C.-H. and Yang, J.-H., "An efficient VLSI architecture of 1-D dual-mode lifting-based discrete wavelet transform," Journal of Chung Cheng Institute of Technology, vol. 44, no. 2, pp. 94-101, 2015.
- [2] Hsia, C.-H., Chiang, J.-S., and Guo, J.-M., "Memory-efficient hardware architecture of 2-D dual-mode lifting-based discrete wavelet transform," IEEE Transactions on Circuits and Systems for Video Technology, vol. 23, no. 4, pp. 671-683, 2013.
- [3] Al-Haj, A. M., "An FPGA-based parallel distribute arithmetic implementation of the 1-D discrete wavelet transform," Informatica, vol. 29,

- no.1, pp. 241-247, 2005.
- [4] Nagabushanam, M., Ramachandran, S., and Kumar, P., "FPGA Implementation of 1D and 2D DWT Architecture using Modified Lifting Scheme," WSEAS Transactions on Signal Processing, vol. 9, no. 4, pp.227-236, 2013.
- [5] Sowjanya, D., Srinivas, K. N. H., and Ganapathi, P. V., "FPGA implementation of efficient VLSI architecture for fixed point 1-D DWT using lifting scheme," International Journal of VLSI design & Communication Systems, vol.3, no.4, pp. 37-48, 2012.
- [6] Hsieh, C.-F., Tsai, T.-H., Hsu, N.-J., and Lai, C.-H., "A novel efficient architecture for the 1D, lifting-based DWT with folded and pipelined schemes," Joint Conference on Information Sciences, 2006.
- [7] Chandrashekhara and Bhat, R. S., "A high speed 2-D DWT architecture using 9/7 lifting scheme for image compression," International Journal of Engineering Research & Technology, vol. 4, no. 4, pp. 832-836, 2015.
- [8] Lin, I.-C., Cho, Y.-H., and Yang, Y.-M., "Aging-aware reliable multiplier design with adaptive hold logic," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 23, no. 3, pp. 544-556, 2015.
- [9] Vijayalakshmi, V., Seshadd, R., and Ramakrishnan, S., "Design and implementation of 32bit unsigned multiplier using CLAA and CSLA," International Conference on Emerging Trends in VLSI, Embedded System, Nano Electronics and Telecommunication System, pp. 1-5, 2013.
- [10] Thawait, S. and Verma, J., "FPGA implementation of simple and high speed vedic multiplier, SSRG International Journal of VLSI & Signal Processing, vol. 2, no. 3, pp. 7-11, 2015.
- [11] Soni, P., Kadam, S., Dhurape, H., and Gulavani, N., "Implementation of 16x16 bit multiplication algorithm by using vedic mathematics over booth algorithm," International Journal of Research in Engineering and Technology, vol. 4, no. 5, pp. 371-376, 2015.
- [12] Tan, K. C. B., and Arslan, T., "Low Power embedded extension algorithm for lifting-based discrete wavelet transform in JPEG2000," Electronics Letters, vol. 37, no. 22, pp. 1328-1330, 2001.
- [13] Shelke, B. M. and Wakode, S. A., "Implementation of an efficient multiplier architecture over a conventional methods using ancient indian vedic sutra," International Journal of Computer Applications, vol. 75, no. 15, pp. 50-56, 2013.
- [14] Martina, M. and Masera, G. "Folded multiplierless lifting-based wavelet pipeline" IET Electronics Letters, vol. 43, no. 5, pp. 27-28, 2007.
- [15] Tsai, C.-F., Wang, H.-S., Hung, K.-C., and Hsia, S.-C., "Non-recursive discrete periodized wavelet transform using segment accumulation algorithm and reversible round-off approach," IEICE Transactions on Information and Systems, vol. E91-D, no. 11, pp. 2666-2674, 2008.
- [16] Tian, X., Zhou, Z., Tan, Y.-H., and Tian, J.-W., "Parallel 9/7-tap wavelet based on lifting structure," IET Electronics Letters, vol. 43, no. 11, pp. 617-618, 2007.

夏至賢等

一維雙模提升式離散小波轉換之提高精準度 VLSI 架構設計