

穿隧氧化層氮化技術對 SONOS 快閃記憶體之特性研究

吳家麟^{1*} 高進興² 李志遠³ 王哲釗⁴ 廖健璋²

¹國防大學理工學院國防科學研究所

²國防大學理工學院半導體實驗室

³國防大學理工學院電機電子工程系

⁴國防大學理工學院應用化學與材料科學系

摘 要

本研究藉由製作以一氧化二氮氧化法與一氧化氮退火法等兩種氮化技術所成長的穿隧氧化層並分析其影響 SONOS 快閃記憶體可靠度特性。結果發現雖然一氧化二氮氧化法 900°C 高溫製程無法產生預期的電荷保存能力，並藉由電荷升壓法(charge pumping)驗證一氧化二氮氧化法之氮原子無法有效降低介面缺陷，但其耐電荷重複抹/寫的能力較佳，另一方面在高溫熱沉積成長穿隧氧化層再配合一氧化氮退火法的結果顯示，可同時提升元件漏電流特性、耐電荷重複抹/寫與資料保存能力，足以推證一氧化氮退火法之氮原子可經由擴散而堆積在介面上，改善氧化層的品質，並具有節省熱成本(thermal budget)的優點，本實驗結果可提供 SONOS 快閃記憶體可靠度提升之有效方法。

關鍵詞：SONOS，快閃記憶體，氮化，穿隧氧化層

The Study of Characteristics on SONOS Flash Memory with Nitridation Tunnel Oxide

Jia-Lin Wu ^{1*}, Chin-Hsing Kao ², Chih-Yuan Lee ³, Je-Chuang Wang ⁴, and Chien-Wei Liao ²

¹*School of Defense Science, Chung Cheng Institute of Technology, National Defense University*

²*Semiconductor Lab., Chung Cheng Institute of Technology, National Defense University*

³*Department of Electronic and Electrical Engineering, Chung Cheng Institute of Technology, National Defense University*

⁴*Department of Applied Chemistry and Material Engineering, Chung Cheng Institute of Technology, National Defense University*

ABSTRACT

The reliability characteristics of SONOS (silicon-oxide-nitride-oxide-silicon) devices with different thin nitridation tunnel oxides are studied. Although the device with the tunnel oxynitride grown in N₂O ambient at 900°C can not reach the expected retention, it still has better endurance capability. The interface states varified by charge pumping method can not be reduced effectively by incorporated nitrogen. On the other hand, the tunnel oxide fabricated by high-temperature oxide (HTO) with additional NO annealing treatment has better performance and modifies performance properties including leakage current, endurance, and retention. It is speculated that nitrogen could diffuse into and pile up at the SiO₂/Si interface and thermal budget can be reduced. This study can provide a straightforward way of reliability improvement for future SONOS flash memory application.

Keywords: SONOS, flash memory, nitridation, tunnel oxide.

文稿收件日期 99.2.12; 文稿修正後接受日期 99.5.13; *通訊作者

Manuscript received February 12, 2010; revised May 13, 2010; * Corresponding author

一、前言

在全世界數位化潮流趨勢發展之下，對於數位資訊的儲存與流通在可攜式電子產品發展的重要性大幅提升，同時由於網路上資訊存取速度的提高，推動著多媒體影音資料在可攜式電子產品的運用與流動性廣泛且需求日益增大，因此具有容量大、速度快、省電且不怕震動的快閃記憶體(Flash Memory)乃成為可攜式電子產品的最佳儲存媒介[1]。

快閃記憶體是一種非揮發性記憶體，當電源關閉後仍能保存資料的完整性，除此優點外，快閃記憶體也擁有每個單位記憶體位元(bit)低成本特點，使其能成功應用在不同的資訊產品領域中，從個人電腦(PC)、手機、個人數位助理(PDA)，到數位相機、MP3 隨身聽、視訊轉換器(STB)等。快閃記憶體具備高速讀取、高密度、低價格的優勢，已成為記憶體市場中僅次於動態隨機存取記憶體(Dynamic Random Access Memory, DRAM) 的第二大產品，未來應可超越 DRAM，全球市場產值預估將在 2012 年超過 700 億美元，英代爾公司(Intel)宣稱其可能成為未來十餘年半導體製造技術的帶動者及主要產品，目前我國半導體產業更列為國家發展「兩兆雙星計畫」，未來十年之內，仍屬國內產業重要投資項目之一。

快閃記憶體是結合三種非揮發性記憶體 E²PROM、ROM、DRAM 之優點發展出來的產物，其商業產品首由東芝(Toshiba)工程師於 1984 年開發創造出來[2]，在世代交替演進過程中不斷地改良進步，目前快閃記憶體依據操作原理與機制不同又可細分為二支，一是浮動閘極元件(Floating Gate Device)，另一是電荷捕捉元件(Charge Trapping Device)，後者以 SONOS (Silicon-Oxide-Nitride-Oxide-Silicon) 記憶體為其主要發展的結構。目前快閃記憶體中浮動閘極結構的元件技術成熟，仍然為市場之主流產品，但此元件結構在國際半導體協會所制定的技術藍圖(ITRS, International Technology Roadmap for Semiconductor)規劃之發展趨勢下，在 30 奈米以下製程技術勢必將面臨瓶頸。因浮動閘極記憶元件在元件尺寸快速縮減趨勢下，由於電壓耦合效應及漏電流因素考量，其垂直厚度有一定限制而不易縮減，當然電荷就無法更快速進出穿隧氧化層，而且高垂直厚度無法避免在高的電壓操作，自

然無法滿足省能的需求。

SONOS 主要的結構為擔任電壓控制角色的複晶矽控制閘(S)、負責電荷屏障的阻障氧化層(O)、作為電荷捕捉的氮化矽電荷捕捉層(N)、負責電荷進出及保存的穿隧氧化層(O)及矽基底(S)等五大部分，所以簡稱 SONOS。近年來，電荷捕捉元件結構中 SONOS 記憶體採用非導體之材料—氮化矽(Si₃N₄)當作電荷捕捉層，使用分離式節點達成電荷捕捉及儲存，使得元件等效垂直厚度與操作電壓得以降低，達到省能之目的，以及降低記憶陣列與週邊電路製程整合之困難度，加上記憶單元多元化(Multi-bit / Multi-level per Cell)的技術，大幅增加元件密度，故成為下一代非揮發性快閃記憶體最有可能的候選者，以朝向單電子記憶體(Single Electron Memory, SEM)的最終目標邁進[3]。

綜觀上述，雖然 SONOS 快閃記憶體既有的優勢比傳統浮動閘極快閃記憶體要來的多，但是目前市面上及產業界仍以浮動閘極快閃記憶體為主流市場，原因是 SONOS 目前仍有一些現存的問題，如寫入及抹除的速度較慢、多次操作造成穿隧氧化層的退化，以及漏電流造成資料保存的時間短少等，這些因素都影響其元件的可靠度(reliability) [4]，探究原因，一方面我們希望對於電荷捕捉率要高，同時電荷不易逃脫，在經過十年後，使電荷仍能儲存相當數量可供讀取電壓判讀；但另一方面又希望被儲存的電荷在寫入及抹除操作時，可以迅速脫離，進而增加操作速率。所以，除了電荷捕捉層氮化矽(Si₃N₄)結構優化之外，穿隧氧化層及阻障氧化層的品質和位能障壁的高低，都會影響快閃記憶體的性，其中穿隧氧化層所要扮演的角色是允許電荷藉由電場施力而穿隧至電荷捕捉層或矽基底，且當電場消失時，該層又可阻止電荷穿隧，其品質的好壞，對快閃記憶體的性舉足輕重。因此本研究的目的，主要在提升穿隧氧化層之品質，經由設計不同氮化技術的製程條件，並依據各種特性量測結果作分析比較，從而歸納出 SONOS 穿隧氧化層製程的最佳條件，目的就是要解決目前 SONOS 快閃記憶體面臨的上述缺點，提供學術及產業界發展新一代快閃記憶體的參考。

二、研究方法及理論

一般穿隧氧化層都以二氧化矽為主，而依現行製程的溫度所形成的二氧化矽多為非晶矽型，因此在高電場應力(High Field Stress)的操作下，會造成該層退化而使品質下降，因為記憶體的讀取、寫入與抹除主要都經過二氧化矽，經過多次被穿隧之後就會有穿破(Worn-Out)的情形發生，最後當導通路徑形成之後，就會發生崩潰的行為，記憶體的功用就喪失，因此以成長氮氧化矽薄膜來改善二氧化矽的品質也被廣泛的研究[5, 6]。

早期閘極氧化層製程採用傳統乾式氧化法(Dry Oxide)，直接通入氧氣成長二氧化矽，其品質雖較濕式氧化法(Wet Oxide)佳，但在成長 3 nm 左右的薄氧化層其製程技術與可靠度實屬不易，膜厚均勻度與再現性控制較難達成，且二氧化矽與矽基介面易造成矽懸鍵(Dangling Band)，後來專家學者提出改進方法為成長二氧化矽層時通氮氣(NH₃)氮化(Nitridation)以解決矽懸鍵造成可靠度的問題。但氮原子在氮化過程會與氫原子一同擴散進入二氧化矽，且容易形成 Si-H 共價鍵，然 Si-H 鍵結能較弱容易造成載子捕陷，以及當電荷不斷寫入或抹除之際，其電荷所攜帶的能量容易將 Si-H 鍵打斷使懸鍵重新產生，破壞薄膜品質。

近來陸續由許多專家學者提出直接在爐管(Furnace)通入 N₂O 來成長氮氧化矽的穿隧氧化層來填補二氧化矽與矽基介面的矽懸鍵，如圖 1 所示，此一製程的氮原子會在氮氧化矽與矽基介面上堆積[7]，然 Si-N 共價鍵結能大於 Si-H 鍵結能，如此可使得元件耐重覆抹寫能力更加提升，因通入 N₂O 其成長速率較為緩慢，可獲得較佳的厚度控制能力，而所成長的氮氧化矽其介電係數大於二氧化矽使其物理等效垂直厚度(Equivalent Oxide Thickness, EOT)更厚，元件更具電荷保存能力，如此一來可得到氧化層品質提升的好處。

但後續有文獻指出，此種方式成長的氮氧化矽因複晶矽之晶粒大小不一，氧化速率不均勻影響，容易有粗造界面產生，而不均勻度(Non-Uniformities)和氮的成分多寡有決定性關係[8]。一直到有文獻提出利用二次退火氧化法可改善上述情形，得到較低漏電流，氧化層品質可大幅提升[9]。

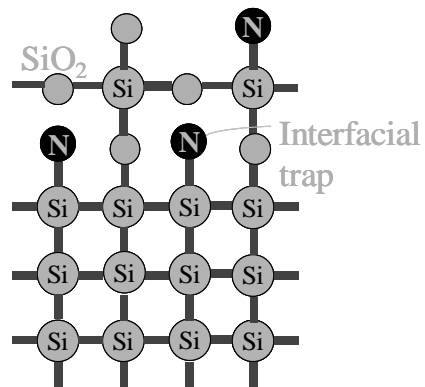


圖 1. 氮原子填補二氧化矽與矽基介面矽懸鍵示意圖。

綜整而言，目前有兩種氮化技術成長氮氧化矽，第一種為先成長二氧化矽，然後以快速熱處理(RTP, Rapid Thermal Processing)方式，通入含氮氣體同時進行退火。此方法所形成的氮氧化矽，在介面的含氮量雖然較高[10]，但是對於厚度控制及均勻度(Uniformity)仍須注意；第二種方式直接在高溫下通入含氮氣體，而形成氮氧化矽，雖然均勻度較佳，但是在介面的氮含量相對於第一種方法卻降低數倍[11]。以上氮化技術已部份運用在傳統的浮動閘極記憶體，但是氮氧化矽製程條件對於 SONOS 快閃記憶體可靠度的影響還未被詳細的報導，故本實驗將研究一氧化二氮氧化法與一氧化氮退火法等兩種氮化技術所成長的高品質穿隧氧化層，並分別探討對 SONOS 快閃記憶體特性的影響，因為氮化技術亦具有精確厚度控制與無氫原子參雜的優點，依據文獻研究氮原子的分佈情形，氮原子將會擴散進入二氧化矽並堆積在二氧化矽與矽的介面以降低介面狀態(interface states)[8]，並發現具有較高氮原子的成分將會改善其可靠度，因此利用氮化技術所形成的穿隧氧化層比傳統乾式氧化層更適合未來 SONOS 快閃記憶體的發展與運用。

本實驗之電性量測在電容-電壓特性方面，以準靜態電壓-電容量測系統(Keithley 590 C-V Analyzer)進行量測；在電流-電壓之相關性能表現、漏電流及可靠度分析等項目評估方面，則以 Agilent 4156C 高精準半導體參數分析儀、Agilent 81104A 脈衝/碼型產生器及 Agilent E5250A 多通道切換矩陣控制器作為主要量測儀器平台，並利用電荷升壓法(charge pumping)量測介面狀態(interface states)，以探

討不同製程條件之穿隧氧化層特性影響。

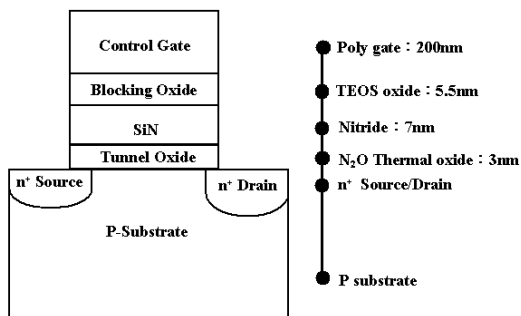


圖 2. SONOS 快閃記憶體結構示意圖。

三、薄膜沈積製程與步驟

3.1 一氧化二氮氧化法 (N₂O Oxidation)

具有 ONO (oxide-nitride-oxide) 結構的 SONOS 快閃記憶體元件如圖 2 所示，所有試片的製作皆使用 p 型矽(100)晶圓，在完成區域氧化隔離 (Local Oxidation of Silicon, LOCOS)之後，除了閘極氧化層被 ONO 介電層所取代之外，所有製程都遵循傳統的標準負通道金屬氧化物半導體 (N-channel Metal Oxide Semiconductor, NMOS) 製程步驟。

首先成長最重要的穿隧氧化層，本實驗對於穿隧氧化層的製作，一共規劃了四個條件，其中直接通以一氧化二氮氧化法 (N₂O Oxidation) 製程溫度條件，分為 800°C 及 900°C 兩種。第三、四個條件為乾式氧氣氧化法 (Dry O₂ Oxidation)，溫度亦為 800°C 及 900°C 兩種。所謂直接通一氧化二氮氧化法，係以 N₂O/N₂=1/1 的製程條件成長氮氧化矽，其中 N₂O 與 N₂ 每分鐘均通入各 1 公升的氣體流量 (slm, Standard Liter per Minute)，分別在 800°C 以及 900°C 環境下，與矽基底反應並成長氮氧化矽 (SiO_xN_y)，因為在高溫下薄膜成長的速度較快。因此設定溫度為 800 與 900°C 的氧化時間，分別為 28 分鐘及 8 分鐘兩種，預期厚度成長 3 奈米，並探討相關特性差異量比較；而 800°C 乾式氧氣氧化法是在溫度 800°C，直接通乾氧 5 分 30 秒，900°C 乾式氧氣氧化法是在溫度 900°C，直接通乾氧 3 分鐘，預期成長厚度是 3 奈米，以上四種試片在完成後皆通入 7 slm 的 N₂ 氣體執行回火 15 分鐘，實際厚度則是經過微幅調整垂直爐管的氧化時間以及

利用控片取得厚度的數據，最後利用橢圓測厚儀 (Ellipsometer) 的多點量測方式確認皆為 3 奈米，相關製程規劃如表 1 所示。

表 1. 一氧化二氮氧化法四組試片製程條件規劃

Process steps and conditions for test chips		Wafer Splits			
Process steps	Process conditions	I	II	III	IV
Tunnel oxide growth	N ₂ O/N ₂ 1slm 800°C	✓			
	N ₂ O/N ₂ 1slm 900°C		✓		
	O ₂ 1slm 800°C			✓	
	O ₂ 1slm 900°C				✓
Nitride deposition	Modified nitride	✓	✓	✓	✓
Blocking oxide deposition	695°C TEOS	✓	✓	✓	✓
Poly gate deposition	PH ₃ -doped poly	✓	✓	✓	✓
P ⁺ well implant	BF ₂	✓	✓	✓	✓
Passivation	550nm TEOS	✓	✓	✓	✓
Contact & Metal	Al-Si-Cu sputtering	✓	✓	✓	✓

接著在 780°C 環境下利用低壓化學氣相沉積 (LPCVD) 製作厚度為 7 nm 的改良式 (modified) 氮化矽層，此種電荷捕捉層的沉積過程是改變 SiH₂Cl₂/NH₃ 的比例從 2.07 到 0.1，結果形成底部矽原子較多而頂部氮原子較多的能階變化組合而成的薄膜，因為矽原子較多可以增加捕陷電荷的數量，而氮原子較多可以增加捕陷的能階深度，並已經在過去文獻中獲得證明可以提高捕陷效率與可靠度 [12]，故本實驗所有試片皆以改良式氮化矽層製作，再覆蓋一層厚度為 5.5 nm 由四乙基正矽酸鹽 (Tetraethyl Orthosilicate, TEOS) 在 695°C 沉積而成的阻障氧化層，最後再依序完成多晶矽閘極、源極/汲極 (S/D)、佈植、金屬接觸與量測接點等製作，測試元件選擇通道長度 0.8 μm、寬度 5 μm 為主要測試結構，其 ONO 結構的等效厚度 (EOT) 可由高頻電容-電壓 (C-V) 量測來獲得。

3.2 一氧化氮退火法 (NO annealing)

為了探討在半導體廠成長二氧化矽常使用的製程方式，故與力晶半導體股份有限公司合作，選擇具有 NAND 結構的 SONOS 快閃記憶體，所有製程皆在力晶公司完成，試片是由 p 型矽基底並加入淺溝渠隔離技術 (STI) 區

隔元件，除了閘極氧化層是由 ONO 介電層所取代之外，全程以標準 NMOS 製程來製作。

本研究規劃三種實驗條件，三組試片的穿隧氧化層皆有相同厚度為 2.5 nm，以用來比較 SONOS 的特性，首先兩組高溫氧化法 (High-Temperature Oxide, HTO) 元件的穿隧氧化層是利用低壓化學氣相沉積 (LPCVD) 在 780°C 環境下製作，其中一組再經過額外 950°C、35 秒的一氧化氮 (NO) 退火處理，另一組則無 NO 退火處理以作為比較對照組；第三組即時蒸氣成長氧化法 (In-Situ Steam Generated oxide, ISSG) 試片的穿隧氧化層是在 15% 氫氣含量環境下以 950°C、16 秒製作完成；三組試片接著利用低壓化學氣相沉積 (LPCVD) 在 700°C ($\text{SiH}_2\text{Cl}_2/\text{NH}_3=1/10$) 環境下製作厚度為 6 nm 的均勻氮化矽層，再覆蓋一層厚度為 6.5 nm 由高溫氧化法 (HTO) 在 780°C 沉積而成的阻障氧化層，最後依序完成多晶矽閘極、源極/汲極 (S/D)、佈植、金屬接觸與量測接點等製作，測試元件選擇通道長度 0.5 μm 、寬度 0.13 μm 為主要測試結構，其 ONO 結構的等效厚度 (EOT) 可由高頻 C-V 量測來獲得。

四、實驗結果與討論

4.1 一氧化二氮氧化法 (N_2O Oxidation)

本研究規劃四種實驗條件，分別是 N_2O 800°C、 N_2O 900°C 及 Dry 800°C、Dry 900°C 等四種 SONOS 快閃記憶體來作比較，在電容-電壓特性方面，選取面積為 $2.50 \times 10^{-3} \text{ cm}^2$ ($500 \mu\text{m} \times 500 \mu\text{m}$) 大小的 MOSC；在電流-電壓之相關性能表現、漏電流及可靠度分析等項目評估方面，選取 SONOS 記憶元件通道長度 0.8 μm 、寬度為 5 μm 為主要測試結構，其量測結果分述如后：

4.1.1 C-V 特性

SONOS 結構之記憶元件之 C-V 特性量測，四組測試晶片 N_2O 800°C、 N_2O 900°C 及 Dry 800°C、Dry 900°C 其 C-V 特性曲線經由量測後換算其 ONO 層之等效厚度均約為 12 nm，驗證製程相關參數、條件控制得宜；其膜厚均勻度良好，可供後續電性量測分析比較。

4.1.2 漏電流特性

穿隧氧化層品質之好壞，除了以物理與材料特性探討之外，可由一些基本電性量測來判斷。首先對元件實施閘極漏電流測試，驗證穿隧氧化層薄膜，元件採通道長 0.8 μm 、寬 5 μm ，其方法為將元件兩端源極與汲極浮接 (Floating) 且將矽基本體接地 (Ground) 並於閘極分別以 0 到 $\pm 10 \text{ V}$ 的偏壓範圍掃描閘極漏電流，由量測結果的圖 3 研判，在閘極電壓為 -5V 時為例，以 Dry 900°C 成長之二氧化矽漏電流最低 (7.2×10^{-12} 安培)，其次是 N_2O 900°C (1.3×10^{-11} 安培)，顯示高溫成長環境可以降低缺陷的形成，而 N_2O 800°C (2×10^{-11} 安培) 與 Dry 800°C (2×10^{-11} 安培) 漏電流相同，研判皆因內部缺陷與介面缺陷可能較多，使得電荷經由缺陷輔助穿隧機制 (Trap-Assisted Tunneling, TAT) 流動機率大增，因此造成較大的閘極漏電流，可知以高溫成長之穿隧氧化層其品質獲得提昇，且溫度 900°C 優於 800°C，其中 N_2O 900°C 初步研判因為氮原子無法完全堆積在介面上，反而一部份散佈在薄膜之中，故並未明顯看到氮原子在穿隧氧化層氮化過程中減少介面缺陷所產生預期較佳的漏電流特性，而 Dry 900°C 反而具有較佳的氧化層品質，亦可由 4.1.6 節介面分析結果獲得驗證。

4.1.3 寫入與抹除特性

在記憶元件發展趨勢不可避免需使用熱載子注入 (Channel Hot Electron Injection, CHEI) 來發展高密度、高效能之快閃記憶體，本實驗希望藉由熱載子對穿隧氧化層之影響，探討氧化層之優劣，供製程研發參考。因此實驗以通道熱電子做為電荷寫入機制探討；同時利用能帶對能帶間穿隧產生的熱電洞注入 (Band to Band Hot Hole Injection, BBHI) 來達到電性中和。因通道熱電子與能帶對能帶間穿隧產生的熱電洞其操作機制對薄氧化層破壞力比用 F-N 穿隧機制大且考量通道熱電子寫入速度比 F-N 穿隧機制快，因此選定了元件的寫入操作電壓為 $V_g = V_d = 8 \text{ V}$ 可得相對最大的操作窗口，操作時間設定為 1 毫秒；而選用 $V_g = -5 \text{ V}$ ， $V_d = +8 \text{ V}$ 作為元件抹除操作電壓，操作時間設定為 100 毫秒。

分別將四組不同條件成長之記憶元件以相同操作機制進行寫入/抹除操作，由圖 4 可得四組測試元件其操作窗口差別不大，均大約

為 3.8 V 左右，其原因分析係四組測試元件其電荷捕捉層均採改良式氮化矽 (Modify Nitride) 結構，因此電荷捕捉能階位置與數量大都相同，故操作窗口變化不大。然而 N_2O 900°C 在 10 ns 到 200 ns 之間展示出較快的寫入速度 (8 V/ms 的斜率較陡，其他三組皆約為 6.4 V/ms)，研判是 Dry 800°C 與 N_2O 800°C 具有較多的介面捕陷電荷，造成矽基底與二氧化矽之間的能障較高，因而在一開始降低了寫入速度，但此效應隨著寫入時間的增加而逐漸減緩 [13]，而 Dry 900°C 因為無氮原子的參雜，缺陷輔助穿隧效應較不明顯。

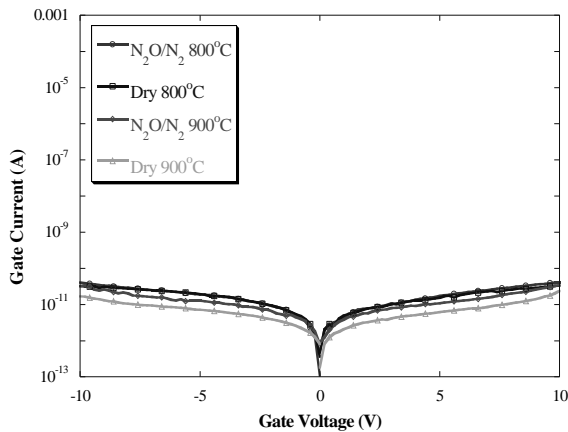


圖 3. 一氧化二氮氧化法四組試片漏電流特性。

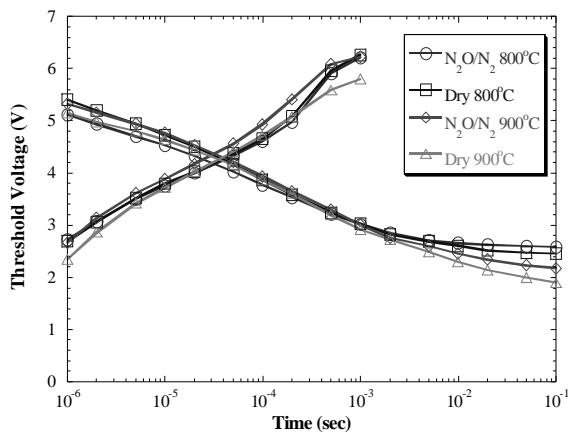


圖 4. 一氧化二氮氧化法寫入/抹除速度與操作窗口。

4.1.4 重複讀寫特性

SONOS 之另一項優點為可以透過電性方式來達到資料的更新，換言之，當電荷存入氮化矽之電荷捕捉層，有可能因資料更新會將電荷抹除或再度寫入；每執行一次寫入及抹除動

作稱之為一個循環。但氧化層經過多次寫入/抹除循環操作會使元件性能退化，因此穿隧氧化層耐重複寫入/抹除能力另一項評估元件可靠度的方法。因此在元件耐久性測試上，其電性量測環境設定需參照實際產品之操作條件規範，考量操作速度與窗口，以圖 4 寫入/抹除之量測結果為基礎，規劃通道熱電子寫入其操作偏壓設定維持不變，而寫入時間為 1 ms；又氮化矽具有較深層捕陷能階，電荷一旦被捕陷後較難逃逸出來，因此電荷抹除機制方面採能帶對能帶間穿隧產生的熱電洞將其操作偏壓與抹除時間設定維持 100 ms。

從圖 5 量測結果可發現經過 10 萬次重複寫入/抹除之後，其耐久特性表現在臨界電壓是高位準 (寫入狀態) 時的量測結果變化相似 (約在 5.5-5.8 V)，但是在低位準 (抹除狀態) 有少數電荷仍然留在氮化矽層，因為愈來愈多電荷在深層能階被捕陷，使得電子與電洞錯位 (mismatch) 而造成愈來愈不易抹除 (上升到約 2.5-2.8 V) [14]；綜觀四組在經過 10 萬次重複寫入/抹除之後，仍然能夠維持足夠的操作窗口 (約為 3 V)。

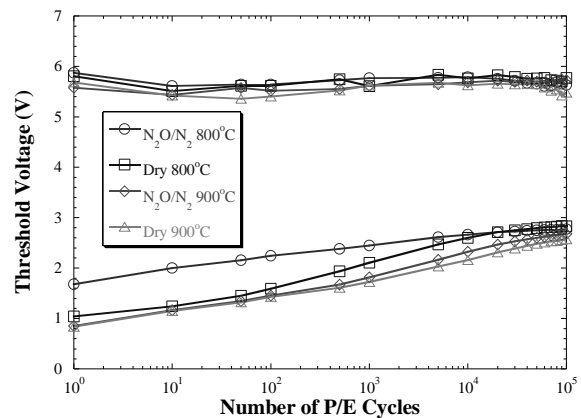


圖 5. 一氧化二氮氧化法 10 萬次重複讀寫特性。

4.1.5 資料保存性

由於實際記憶元件產品不太可能實施 10 年電荷保存持久性測試，因此參考文獻相關量測方法，時間參數設定基準以 1 萬秒為測試週期，透過不斷的讀取臨界電壓變化來量測其電荷流失的情況；其後再採能帶對能帶間穿隧產生的熱電洞將電荷抹除並測試 1 萬秒之臨界電壓變化。最後將寫入狀態、抹除狀態的電荷保存能力曲線作圖並外插至 10 年，所得之臨界電壓變化量來判定電荷保存能力。

由圖 6 量測結果可得知，四組測試元件經一次寫入/抹除的操作後雖然 Dry 900°C 操作窗口最大約 4.3 V，其次是 N₂O 900°C 約 4.1 V，Dry 800°C 約 3.8 V，而 N₂O 800°C 操作窗口最小約 3.6 V，但經過 1 萬秒後的電荷持久性量測，當時間軸取 Log Scale 時發現 2000 秒後其臨界電壓似乎呈一線性變化，因此採用 2000 秒至 1 萬秒的資料求其外插至 10 年操作窗口，其外差 10 年後之操作窗口為 Dry 900°C (2.5 V) > N₂O 900°C (1.6 V) > Dry 800°C (1.1 V) > N₂O 800°C (0.2 V)；得知 900°C 高溫成長之二氧化矽具有較優之電荷保存能力，10 年之後仍保有較大操作窗口約 2.5 V，但是仔細觀察 Dry 900°C 與 N₂O 900°C 自 1 萬秒後的電荷流失率（斜率）較為接近，其分析原因可能其高溫成長之二氧化矽與氮氧化矽結構之穿隧氧化層皆具有較佳品質，降低電荷穿隧的效應，所以電荷經過長時間仍具較大操作窗口供做資料判讀。

本實驗更重要的是觀察重複讀寫後的資料保存性，在經過量測 10 萬次重複寫入/抹除的循環操作之極漏電流特性後，再量測此四組測試件的電荷保存能力，由於低位準臨界電壓變化率很小，所以單就高位準臨界電壓的斜率來做比較，其量測結果如圖 7 所示，將 2000 秒至 1 萬秒區間所量測到的數據外差至 10 年後，高位準臨界電壓變化率由低到高分別為 Dry 900°C < N₂O 900°C < Dry 800°C < N₂O 800°C，其中 Dry 900°C 的資料保存力仍然最好，而 Dry 900°C 與 N₂O 900°C 自 1 萬秒後的電荷流失率（斜率）較為接近，N₂O 800°C 的性能最差，由於低位準臨界電壓經過重複讀寫後被提高（如圖 5 所示），導致 10 年後的操作窗口皆大幅下降，但 Dry 900°C 在 10 年後仍有大於 1 V 的操作窗口；另將量測結果與圖 6 比較後可知，Dry 900°C 在實施重複讀寫後 10 年的高位準臨界電壓值比實施單次寫入/抹除後 10 年的電壓值下降較多，反而 N₂O 900°C 無明顯變化，顯示 Dry 900°C 受到重複讀寫後的穿隧氧化層仍會稍微退化，研判 N₂O 900°C 的電荷流失較 Dry 900°C 為快的原因，可能是塊體(bulk)內參雜氮原子主導所造成，但在重複讀寫後 N₂O 900°C 的高位準臨界電壓值與單次讀寫的相仿（約為 3 V），顯示介面缺陷上由於氮原子的填入發揮了作用，提高資料的耐久性與保存性。

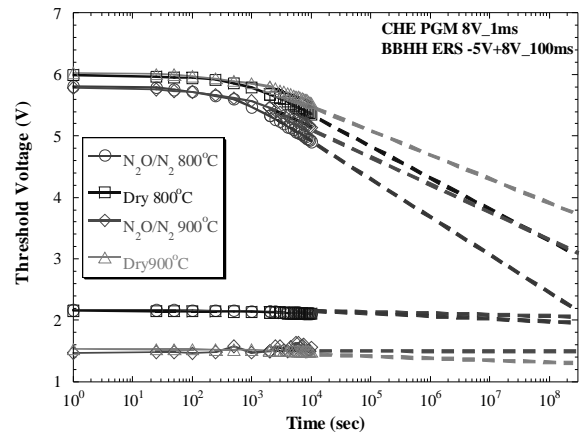


圖 6. 一氧化二氮氧化法室溫資料保存特性。

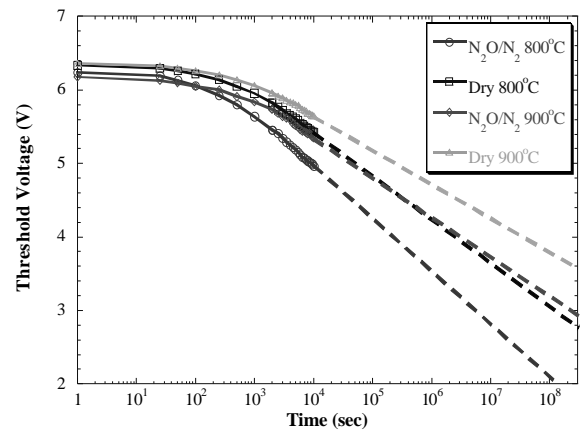


圖 7. 一氧化二氮氧化法 10 萬次重複讀寫後室溫資料保存特性。

4.1.6 介面分析

針對實驗試片實施電荷升壓法(charge pumping)量測介面狀態，使用頻率 1 MHz，閘極電壓的高低狀態差設為 2 V，只要施加的電壓超過該元件平帶及臨界電壓範圍內，就可量測到電荷升壓電流(I_{CP})，並依電流大小可分析介面狀態(interface state)分佈的多寡，相關量測結果如圖 8，由 I_{CP} 電流的大小可以驗證試片介面缺陷，我們大致可以發現 I_{CP} 電流的大小呈現兩個族群，分別為 N₂O 800°C、Dry 800°C 與 N₂O 900°C、Dry 900°C，其中 Dry 900°C 介面缺陷最少，由此可知，愈高溫度成長的穿隧氧化層確有較佳的品質，因為溫度愈高則動能越大，導致晶粒(Grain)排列就越整齊，晶粒就越緻密，缺陷就會越少。

為進一步探討記憶元件在不同測試條件下可靠度的性能表現，驗證穿隧氧化層之優劣，也同樣將四組測試元件經過 10 萬次循環

抹/寫後再量測其介面缺陷變化情形，以佐證氧化層品質優劣，其量測結果如圖 9 所示，可以發現四組測試元件介面缺陷的優劣順序還是與未經過 10 萬次循環抹/寫前的結果相同，但是明顯看到四組試片的 I_{cp} 值都有所增加，Dry 900°C 由 2.4×10^{-10} 安培上升至 4×10^{-10} 安培， N_2O 900°C 由 3.7×10^{-10} 安培上升至 4.3×10^{-10} 安培，Dry 800°C 由 6.2×10^{-10} 安培上升至 6.5×10^{-10} 安培， N_2O 800°C 由 6.7×10^{-10} 安培上升至 8.2×10^{-10} 安培，表示經過 10 萬次重複寫入/抹除之後確實會對穿隧氧化層造成一定的傷害，進而對元件的特性造成一定的影響。而以相同成長溫度的試片來加以比較，通入 N_2O/N_2 所成長的試片都有比乾式氧化法所成長的試片有著更多的介面缺陷，似乎氮原子並沒有如預期中的對介面缺陷發揮填補的作用，同樣的結果也出現在未經過 10 萬次循環抹/寫的 Charge Pumping 結果中。但是我們發現在經過重複讀寫之後 Dry 900°C 的介面缺陷增加量較多，最後幾乎與 N_2O 900°C 一樣，研判在二氧化矽與矽基底介面上的氮原子具有抵抗重複讀寫的特性，也印證在重複讀寫後資料保存性所觀察到的結果。

因此我們可以推論在越高溫所成長的二氧化矽品質越佳，但以 N_2O 900 °C 所成長的穿隧氧化層，其氮原子雖然無法確實的有效降低介面狀態，故在漏電流與資料保存特性都比不上 Dry 900°C，但是經過重複讀寫後的退化程度卻比 Dry 900°C 較小，研判與氮原子存在的位置有關，因為在高溫環境通入 N_2O 成長的穿隧氧化層，其氮原子可能分布在塊體與介面上，造成不同的元件特性，理想狀況最好是塊體內無氮原子參雜，而介面上卻佈滿氮原子以降低介面缺陷，因此我們另外設計以一氧化氮退火法來試著達成目標，並探討實際在半導體廠成長二氧化矽常使用的製程方式，找尋最佳的穿隧氧化層氮化製程方式。

4.2 一氧化氮退火法 (NO annealing)

本研究規劃三種實驗條件，分別是即時蒸氣成長氧化法(In-Situ Steam Generated oxide, ISSG)、高溫氧化法(High-Temperature Oxide, HTO)以及具有 NO 退火處理的高溫氧化法(HTO(NO*))等三種 NAND 結構的 SONOS 快閃記憶體來作比較，在電容-電壓特性方面，

選取面積為 $5.76 \times 10^{-4} \text{ cm}^2$ 大小的 MOSC；在電流-電壓之相關性能表現、漏電流及可靠度分析等項目評估方面，選取 SONOS 記憶元件通道長度 $0.5 \mu\text{m}$ 、寬度為 $0.13 \mu\text{m}$ 為主要測試結構，其量測結果分述如下：

4.2.1 C-V 特性

選取面積為 $5.76 \times 10^{-4} \text{ cm}^2$ 大小且具有 SONOS 結構 MOSC 進行 C-V 特性量測，三組測試晶片 ISSG、HTO 及 HTO(NO*)其 C-V 特性曲線經由量測後換算其 ONO 層之等效厚度均約為 13.4 nm，藉以驗證製程相關參數控制得宜與膜厚均勻度良好，可供後續電性量測分析比較。

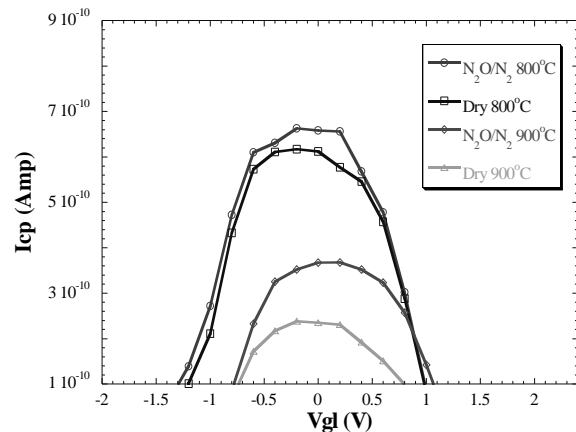


圖 8. 一氧化二氮氧化法電荷升壓特性。

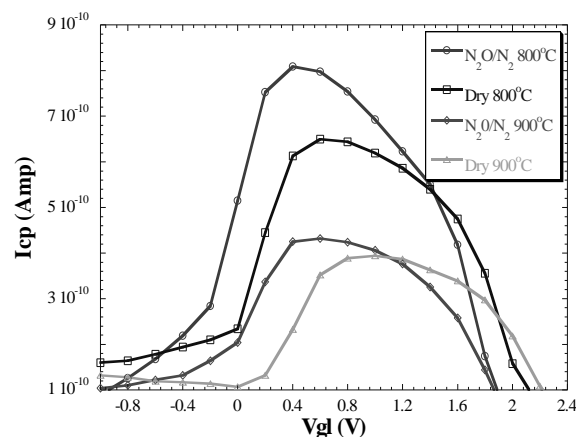


圖 9. 一氧化二氮氧化法 10 萬次重複讀寫後電荷升壓特性。

4.2.2 漏電流特性

圖 10 顯示所有試件的漏電流曲線，在開

極電壓為-5V 時為例，它證明了 HTO(NO*) 的直接穿隧漏電流(1×10^{-11} 安培)稍小於其它二組試件(1.3×10^{-11} 安培)，顯示在一氧化氮退火的處理中氮原子降低了介面缺陷的形成；但是負閘極電壓 F-N (Fowler-Nordheim) 穿隧發生時轉折向上較 ISSG 提早，這是因為介面上氮原子的參與降低了介面缺陷(interface state)，有助於降低直接穿隧漏電流，然而整體二氧化矽內氮原子的少量增加卻造成較高的缺陷密度而有助於輔助穿隧漏電流(TAT)所造成上述的現象。

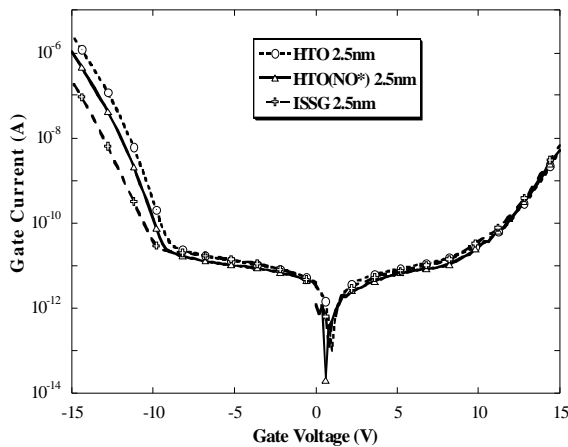


圖 10. 一氧化氮退火法漏電流特性。

4.2.3 寫入與抹除特性

由於試片的穿隧氧化層厚度為較薄的 2.5 nm，加上 NAND 結構多以 FN 穿隧來達成寫入電荷，同時 FN 穿隧較不會造成穿隧氧化層的嚴重損傷，故本實驗希望藉由 FN 穿隧機制對穿隧氧化層之影響，來探討氧化層之優劣，以供製程研發參考。因此選定了元件的寫入操作電壓為 $V_g = 14$ V 可得相對最大的操作窗口，操作時間設定為 100 毫秒；而選用 $V_g = -12$ V 作為元件抹除操作電壓，操作時間設定為 500 毫秒。寫入與抹除的特性如圖 11 所示，HTO 與 HTO(NO*) 試片擁有比 ISSG 較大的操作窗口，其中 HTO 展現較快的 FN 抹除速度，是由於其較多的介面缺陷(interface state)有助於輔助穿隧的電子抹除；另外針對 ISSG 較差的抹除能力，我們設計了 C-V 掃描的實驗，發現當施加負閘極偏壓時，HTO(NO*) 藉由來自矽基底注入的電洞來完成 FN 穿隧抹除，造成 C-V 曲線向左平移，如圖 12(a)所示，但是

發現 ISSG 的 C-V 曲線卻向右平移，顯示肇因於閘極電子的提早注入，如圖 12(b)所示，因此 ISSG 無法執行正常的抹除工作。

4.2.4 重複讀寫特性

以寫入/抹除之量測結果為基礎，規劃 FN 穿隧寫入與抹除其操作偏壓與時間設定維持不變，從圖 13 結果可發現經過 10 萬次重覆寫入/抹除之後，HTO 與 HTO(NO*) 試片擁有比 ISSG 較大的操作窗口，是因為 ISSG 較差的抹除特性造成在低位準(抹除狀態)具有高的臨界電壓所導致的結果。

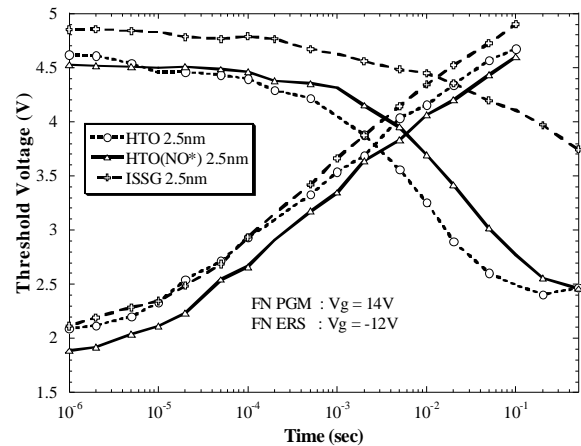


圖 11. 一氧化氮退火法寫入/抹除速度與操作窗口。

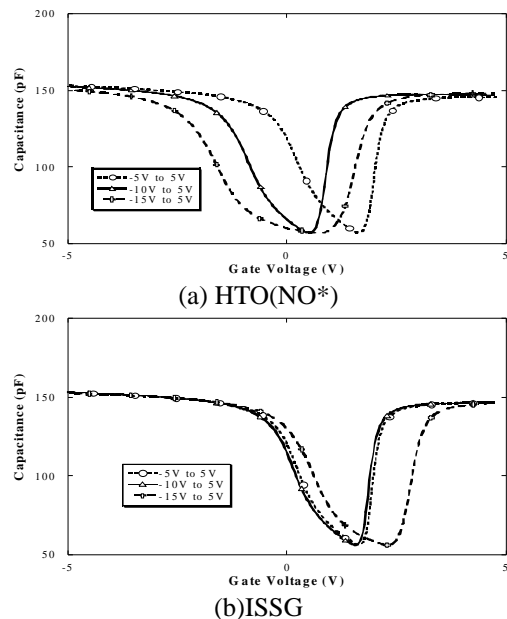


圖 12. 一氧化氮退火法試片 ONO 介電層掃描電容-電壓特性：(a)HTO(NO*)；(b)ISSG。

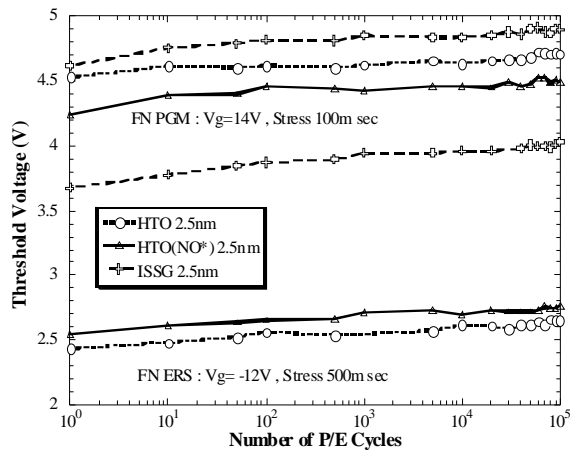


圖 13. 一氧化氮退火法 10 萬次重複讀寫特性。

4.2.5 資料保存性

在室溫之下單次讀寫的資料保存特性由圖 14 量測結果可得知，三組測試元件在低位準臨界電壓變化率無明顯變化，但在高位準臨界電壓的斜率就相當不同，雖然 ISSG 的臨界電壓變化量小於 HTO，但因為其具有較高的低位準臨界電壓 (ISSG 不易抹除)，操作窗口相對較小；採用 2000 秒至 1 萬秒的資料求其外插至 10 年操作窗口，其外差 10 年後 HTO(NO*) 與 HTO 操作窗口最大約 1.4 V，ISSG 操作窗口最小約 0.6 V，至此並未看出一氧化氮退火的明顯效果；本實驗更重要的是觀察重複讀寫後的資料保存性，在經過量測 10 萬次重複寫入/抹除的循環操作之後，再量測此三組測試件的電荷保存能力，資料保存性 (retention) 的測試結果如圖 15 所示，外插至 10 年後 HTO(NO*) 的操作窗口最大，亦即直接穿隧流失的電荷量較少，而 HTO 的電荷流失量最多，研判是介面缺陷增加造成穿隧氧化層退化所導致的情形。

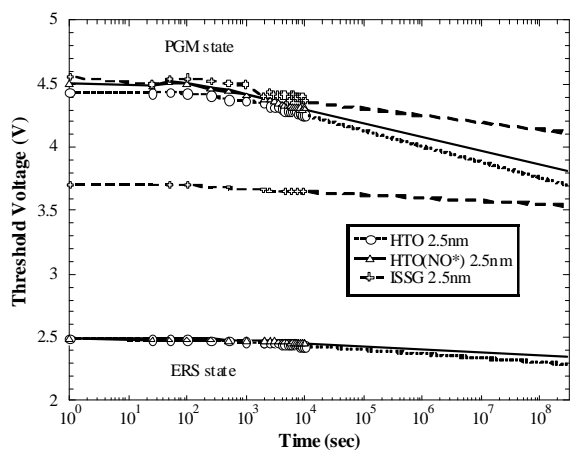


圖 14. 一氧化氮退火法室溫資料保存特性。

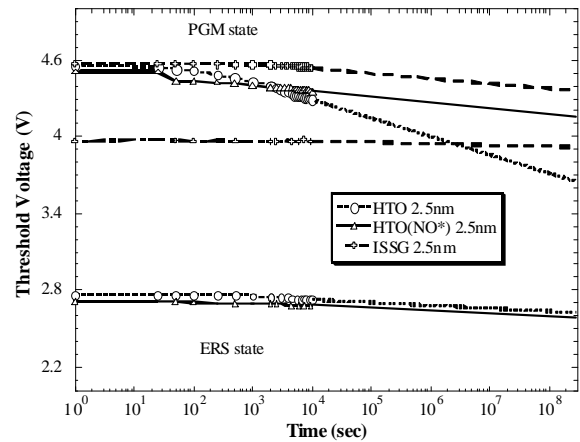


圖 15. 一氧化氮退火法 10 萬次重複讀寫後室溫資料保存特性。

為了確認一氧化氮退火製程的功效，我們更設計了烘烤實驗，首先觀察經過 1000 次讀寫操作之後，立即在 150°C 之下烘烤 24 小時，結果如圖 16 所示，其中 ISSG 因不易抹除的因素，其電荷流失量相對較少故不列入比較，而 HTO(NO*) 直接穿隧流失的電荷量比 HTO 少，顯示介面缺陷上由於氮原子的填入發揮了作用，提高資料的耐久性與保存性；其次更進一步的將 HTO(NO*) 試片執行在 150°C 之下持續烘烤 7 天的嚴格測試條件，如圖 17 所示，外插至 10 年後 HTO(NO*) 仍然具有 0.8 V 的操作窗口，滿足業界設計產品的需求。

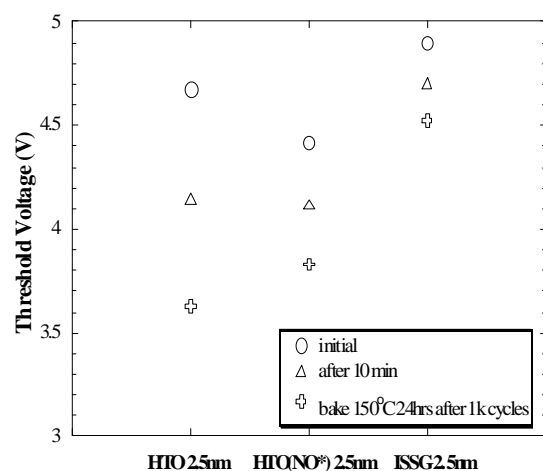


圖 16. 一氧化氮退火法試片 1 千次重複讀寫後 150°C 烘烤 24 小時資料保存特性。

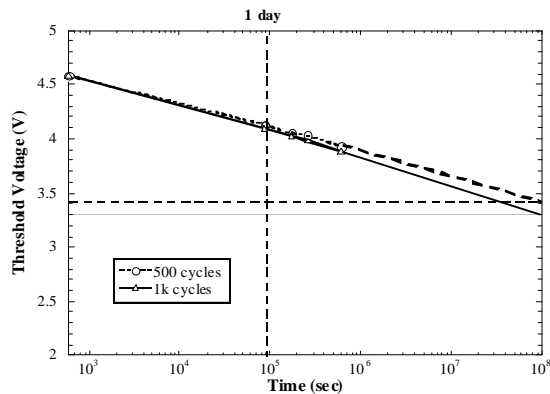


圖 17. 一氧化氮退火法 HTO(NO*) 1 千次重複讀寫後 150°C 烘烤 7 天資料保存特性。

五、結論

本文已成功將兩種不同的穿隧氧化層氮化技術運用在 SONOS 快閃記憶體的製程上，並量測其漏電流、寫入/抹除特性及可靠度等性能。此方法可藉由高溫以及氮原子填補介面的矽懸鍵等方式，使得穿隧氧化層品質獲得改進，同時可提升 SONOS 快閃記憶體元件漏電流特性、耐電荷重複抹/寫進出與電荷保存能力。

文中我們也發現在穿隧氧化層氮化技術中使用不同的氧化層製程方式、通入氣體、溫度、時間以及退火與否等因素，對於 SONOS 快閃記憶體的特性都有相當大的影響。首先在一氧化二氮氧化法的實驗結果得知，雖然 900°C 高溫製程可改善氧化層品質，但高溫對薄氧化層薄膜厚度控制實屬不易，對於未來極小尺寸的穿隧氧化層製程難度較高，而將薄膜氧化層成長通入 N₂O 氣體，確實能減緩氧化層生長速率，雖然氮原子無法完全堆積在介面上，反而一部份散佈在薄膜之中，導致無法產生預期較佳的電荷保存能力，但是觀察到其耐電荷重覆抹/寫的能力獲得提升。

其次更進一步使用一氧化氮退火法，先以沉積方式成長氧化層，再以較短的時間內高溫退火並通入一氧化氮氣體，結果發現 SONOS 快閃記憶體元件在漏電流特性、耐電荷重複讀寫與電荷保存等能力皆獲得提升，顯示大部份氮原子可經由擴散進入而堆積在介面上，達到穿隧氧化層氮化技術預期的效果，同時也因為容易掌握成長厚度以及製程時間短而節省熱成本(thermal budget)等優點，因此建議 HTO

成長穿隧氧化層再配合一氧化氮退火法是一種相當好的選擇。故藉由穿隧氧化層氮化技術，可以提升快閃記憶體的元件特性，加速 SONOS 記憶元件未來朝向高容量、低操作電壓之趨勢發展，並可提供後續元件設計與製程實驗之參考運用。

誌謝

感謝國家實驗研究院奈米元件實驗室提供半導體製程設備，以及力晶半導體股份有限公司等相關技術支援，使本研究得以順利完成。

參考文獻

- [1] Cappelletti P., Golla C., Olivo P., and Zanoni E., *FLASH Memories*, Kluwer Academic Publishers, pp. 361-364, 2000.
- [2] Masuoka F., Asano M., Iwahashi H., Komuro T., and Tana S., "A New Flash E²PROM Cell Using Triple Polysilicon Technology," *IEDM Tech. Dig.*, pp. 464-467, 1984.
- [3] White M. H., Adams D. A., and Bu J., "On the go with SONOS" *IEEE Circuits Devices Mag.*, Vol. 16, No. 4, pp. 22-31, 2000.
- [4] Nasyrov K. A., Gritsenko V. A., Kim M. K., Chae H. S., Ryu W. I., Sok J. H., Lee J. -W., and Kim B. M., "Charge Transport Mechanism in Metal-Nitride-Oxide-Silicon Structures," *IEEE Electron Device Letters*, Vol. 23, No. 6, pp. 336-338, 2002.
- [5] Joshi A. B., Yoon G., Kim J., Lo G. Q., Kwong D. L., "High-field breakdown in thin oxides grown in N₂O ambient," *IEEE Trans. on Electron Devices*, Vol. 40, pp. 1437-1445, 1993.
- [6] Sharma U., Moazzami R., Tobin P., Okada Y., Cheng S. K., Yeargain J., "Vertically scaled, high reliability EEPROM devices with ultra-thin oxynitride films prepared by RTP in N₂O/O₂ ambient," in *IEDM Tech. Dig.* pp. 461-464, 1992.
- [7] Lu H. C., Gusev E. P., Gustafsson T., Garfunkei E., Green M. L., Brasen D., and Feldman L. C., "High Resolution Ion Scattering Study of Silicon Oxynitridation," *Applied Physics Letters*, Vol. 69, No. 18, pp. 2713-2715, 1996.

- [8] Okada, Y., Tobin, P. J., Lakhota, V., Feil, W. A., Ajuria, S. A., and Hegde, R. I., "Relationship Between Growth Condition, Nitrogen Profile, and Charge to Breakdown of Gate Oxynitrides Grown from Pure N_2O ," Applied Physics Letters, Vol. 63, No. 2, pp. 194-196, 1994.
- [9] Pan, T. M., Lei, T. F., and Chao, T. S., "Robust Ultrathin Oxynitride Dielectrics by NH_3 Nitridation and N_2O RTA Treatment," IEEE Electron Devices Letters, Vol. 21, No. 8, pp. 378-380, 2000.
- [10] Carr, E. C. and Buhrman, R. A., "Role of Interfacial Nitrogen in Improving Thin Silicon Oxides Grown in N_2O ," Applied Physics Letters, Vol. 63, No. 1, pp. 55-56, July 1993.
- [11] Xu, Z., Lai, P. T., and Ng, W. T., "Enhanced Off-State Leakage Currents in n-Channel MOSFET's with N_2O -Grown Gate Dielectric," IEEE Electron Device Letters, Vol. 16, No. 10, pp. 436-438, Oct. 1995.
- [12] Chen T. S., Wu K. H., Chung H., and Kao C. H., "Performance improvement of SONOS memory by bandgap engineering of charge-trapping Layer," IEEE Electron Device Letters, Vol. 25, No. 4, pp. 205-207, 2004.
- [13] Fukuda H., Uchiyama A., Kuramochi T., Hayashi T., Iwabuchi T., Ono T., Takayashiki T., "High-performance scaled flash-type EEPROMs with heavily oxynitrided tunnel oxide films," in IEDM Tech. Dig. pp. 465-468, 1992.
- [14] Roy A. and White M. H., "A new approach to study electron and hole charge separation at the semiconductor-insulator interface," IEEE Trans. on Electron Devices, Vol. 37, Issue 6, part 1, pp.1504-1513, 1990.