

有效的一維雙模提升式離散小波轉換超大型積體電路 架構之設計

夏至賢* 楊家豪

中國文化大學電機工程學系

摘 要

常利用於 JPEG2000 影像壓縮系統中的時頻分析轉換方法—提升式離散小波轉換，其濾波器組具有 9/7 與 5/3 的雙係數模式基底函數。一般在實現超大型積體電路(VLSI)架構設計時，容易產生臨界路徑較長與硬體成本過大的問題。有鑒於此，本文提出摺疊式架構結合管線式架構以解決其 VLSI 設計的問題；另外，亦考慮雙模式下因乘法器運算使用過多而產生硬體面積較大的問題，提出移位相加的架構合併雙模式濾波器以解決乘法器硬體過多所產生面積較大的問題。由實驗結果得知，本文所提出的硬體架構僅需較低的臨界路徑、可支援雙模式小波係數之硬體、低潛在時間、以及不使用任何乘法器，較適合以 VLSI 實現並應用於低成本 JPEG2000 壓縮系統。

關鍵詞：離散小波轉換、摺疊式架構、管線式架構、移位相加架構。

An Efficient VLSI Architecture of 1-D Dual-Mode Lifting-Based Discrete Wavelet Transform

Chih-Hsien Hsia* and Jia-Hao Yang

Department of Electrical Engineering, Chinese Culture University, Taiwan

ABSTRACT

The Discrete Wavelet Transform (DWT) has been adopted for an image compression application. The default wavelet filters are dual-mode LDWT (supporting 5/3 lossless and 9/7 lossy coding) in JPEG2000. However, the hardware cost requirements (for operators) and the longer critical path limits the efficiency of hardware implementation for one-dimensional (1-D) lifting-based wavelet transforms. To solve this problem, this work presents an efficient VLSI architecture to address the above issues for 1-D lifting-based DWT. It is based on the folding and pipelined scheme processing to increase speed and reduce the hardware area. Besides, the shifters and adders replace multipliers in the computation to increase the hardware utilization and reduce the hardware cost for dual-mode lifting-based transform. The advantages of the proposed 1-D dual-mode lifting-based DWT have the characteristics of lower critical path, lower latency, and multiplierless architecture for the computation of DWT. As a result, it's suitable for VLSI implementation and can be applied for low cost JPEG2000 system.

Keywords: Discrete Wavelet Transform (DWT), Folding architecture, Pipeline architecture, Shift and Adder architecture.

文稿收件日期 103.09.30 ; 文稿修正後接受日期 104.04.29 ; *通訊作者夏至賢

Manuscript received September 30, 2014; revised April 29, 2015; *Corresponding author: Prof. Chih-Hsien Hsia

一、前言

離散小波轉換 (Discrete Wavelet Transform, DWT) 被廣泛應用於各類領域，包含影像/視訊處理、資料壓縮、電腦視覺、語音處理、數值分析、信號分析、生物辨識以及生物醫學等領域。利用其多重解析訊號 (Multiresolution) 的特性把訊號由時間或空間域 (Time/Spatial domain) 轉換至頻率域 (Frequency domain)，將每個像素視為獨立數值，利用鄰近數值做高頻 (High Frequency, H.F.) 訊號的預測 (Prediction) 以及低頻 (Low Frequency, L.F.) 訊號的更新 (Update) 近而取得離散小波轉換之係數。

近年來，有許多文獻針對一維提升式離散小波轉換 (One-Dimensional Lifting-based Discrete Wavelet Transform, 1-D LDWT) 的 VLSI 架構作改良與探討。Hsieh *et al.* [1] 提出提升式 5/3 離散小波濾波器 VLSI 架構，利用三級管線式架構 (Pipeline architecture) 來縮短臨界路徑 (Critical path) 與潛在時間 (Latency)，但其架構僅能處理 5/3 整數 (Integer point) 濾波器，所以在應用上將有所限制。在文獻 [2] 中提出以平行分佈式運算 (Parallel distributed arithmetic) 的架構，配合乘法器 (Multiplier) 和累加器 (Accumulator) 的功能有效地實現其 VLSI 架構；然而，其架構中廣泛使用查表法 (Look-Up Table, LUT) 來取代硬體成本較高的乘法器，但隨著查表需求越大，則所需要的記憶體 (Memory) 空間相對地就會提升，對於 VLSI 硬體架構的成本 (Cost) 與所需面積 (Area) 均為一大考量。面對乘法器效能的問題，Yiet *al.* [3] 提出以 9/7 離散小波濾波器為基礎並利用算術位移方式 (Arithmetic shift method) 實現其提升式架構，文獻利用一個簡單的移位加法器 (Shift and adder architecture) 來取代複雜乘法器的運算，它將濾波器所需之浮點數 (Fractionpart) 乘法器利用固定兩個移位暫存器 (Shift register) 和加法器 (Adder) 來達到近似輸出之小波係數，如此可以有效地降低硬體的複雜度 (Complexity) 以及記憶體的使用量使其提升處理速度。無論如何，雖然省下乘法器的數量，但為了增加其浮點數的輸出小波係數精準度，此 VLSI 架構使用較多的加法器僅換取較小的訊號品質提升。Sowjanya *et al.* [4] 利用管線式架構實現提升式 9/7 離散小波濾波器以減少硬體面積，並且增加其訊號的產出量

(Throughput)，在文獻中提出以五級的管線式架構並在各階層共享計算達到最佳化 VLSI 硬體資源；但是，較多階層級的管線架構設計也產生了暫存器 (Register)、乘法器過多、以及潛在時間過長的問題。Liao *et al.* [5] 提出一種遞迴 (Recursive) 結合雙掃描架構 (Dual scan architecture)，針對一維遞迴結構之間相依關係並利用小波係數在時脈週期 (Clock cycle) 交替不重疊性與雙掃描架構將兩個獨立的數據共享使用相同的硬體設計下，以達到提升硬體的使用率；無論如何，其電路產生額外過多的控制單元 (Control Unit, CU) 以及需較多的暫存器。在文獻 [6] 提出以摺疊式架構 (Folding architecture) 應用於雙模式 (Dual-mode) 提升式離散小波轉換使其 VLSI 架構達到較高的硬體使用率與其應用，但也產生面積較大的問題。在文獻 [7] 利用小波正交 (Orthogonal) 的性質，在每個層級間使用乘法器 (Multiplier and Adder Converter, MAC) 以增加處理速度；雖然，具有高效能的速度，但其面積增大，在低成本的嵌入式系統平台 (Embedded system platform) 上的考量較不適用。

整合上述一維提升式離散小波轉換文獻，雖然前人提出諸多方式以解決 VLSI 硬體使用效率與處理時間，但在雙模式下的運算器數量、硬體面積、臨界路徑等問題還有機會可以做有效的提升。本文提出以一維雙模提升式離散小波轉換 (9/7 與 5/3 小波係數濾波器) VLSI 硬體合併以增加其應用的範圍，針對乘法器使用所產生較大的臨界路徑問題，採用位移相加的架構取代其乘法器以達到減少乘法器與加速的效果；同時，針對整體 VLSI 硬體架構中所產生的硬體率較低問題，提出以摺疊結合管線式 VLSI 架構的設計提升其硬體的效率，以便應用於低成本嵌入式平台的使用。

本論文分為五個章節，在第二章將簡單的介紹傳統提升式離散小波轉換演算法；接著在第三章中，說明本文所提出的 VLSI 硬體架構與其分析；第四章則是探討硬體設計的模擬結果與比較；最後，則是在第五章做結論。

二、傳統一維離散小波轉換演算法

2.1 提升式架構

傳統一維迴旋積式 (Convolution-based) 離散小波轉換架構的硬體使用效率相較提升式架構只有 50% [8-9]。其利用預測編碼的方式轉換出

離散小波的係數，但所採用的硬體資源卻只有傳統的一半，而演算法是利用將原始信號與一對分析濾波器組做摺積後，每隔兩點取一點，於是可以將每對分析濾波器組表示成一個 $P(z)$ 多項矩陣(Polyphase matrix)濾波器的多項矩陣，將其分解為上三角、下三角、以及對角矩陣的相乘，其中的 $h(z)$ 和 $g(z)$ 分別為低頻與高頻的小波係數並具有硬體較高的使用率、以及具規則化的架構。

$$P(z) = \begin{bmatrix} h_e(z) & g_e(z) \\ h_o(z) & g_o(z) \end{bmatrix} \quad (1)$$

$$\begin{aligned} g(z) &= g_e(z^2) + z^{-1}g_o(z^2) \\ h(z) &= h_e(z^2) + z^{-1}h_o(z^2) \end{aligned} \quad (2)$$

獲得偶數和奇數部分分解和整體運算後，最後可以得到提升式演算法的分解式：

$$P(z) = \prod_{i=1}^m \begin{bmatrix} 1 & S_i(z) \\ 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \begin{bmatrix} k & 0 \\ 0 & 1/k \end{bmatrix} \quad (4)$$

其中 $s_i(z)$ 和 $t_i(z)$ 為低階 Laurent 多項式(對於 $1 \leq i \leq m$ ，其中 m 為多項式 $h(z)$ 的偶數項)。關於其上、下三角矩陣的詳細計算與推導可以參考文獻[9]並可得到低通係數 $s_i(z)$ 與高通係數 $t_i(z)$ 。

以 5/3 提升式離散小波轉換為例，乘法器係數 α 為 $-1/2$ 且 β 為 $1/4$ ，其演算法主要由四個部分所組成，即為分離模組(Split phase)、預測模組(Predict phase)、更新模組(Update phase)、以及調整模組(Scaling function)。

1) 分離模組：將原始訊號 $X_{[n]}$ 劃分成兩個部份，即偶數訊號 $Xe_{[n]}$ 與奇數訊號 $Xo_{[n]}$ 。

2) 預測模組：利用 $Xe_{[n]}$ 之訊號經過一個預測的單元以求得預測值和 $Xo_{[n]}$ 的差值訊號，繼而產生一個高頻離散小波係數 $d_{[n]}$ 。

$$d_{[n]} = Xo_{[n]} + P \times (Xe_{[n]}) \quad (5)$$

3) 更新模組：將 $d_{[n]}$ 之訊號，經過一個低通的係數，再將其結果與 $Xe_{[n]}$ 相加後產生一個低頻之離散小波係數 $s_{[n]}$ ，如(6)式所示。

$$s_{[n]} = Xe_{[n]} + U \times (d_{[n]}) \quad (6)$$

4) 調整模組：在此步驟中，它主要是將產生之高、低頻訊號作一個正規化的動作，即分別將 $d_{[n]}$ 及 $s_{[n]}$ 乘上係數 $k_{[n]}$ 以求得所要的高、低頻離散小波係數。

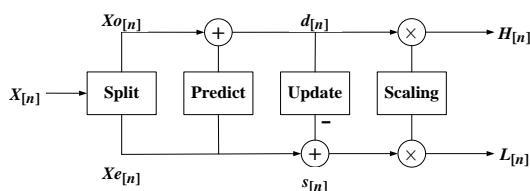


圖1、提升式架構

2.2 雙模提升式 5/3 與 9/7 離散小波轉換

在 JPEG 2000 影像壓縮中，使用者可以依需求選擇失真(Lossy)或無失真(Lossless)兩種影像品質的應用。在失真壓縮的方法上，9/7 濾波器採用浮點數運算的離散小波轉換，最後經過量化後送出。在無失真壓縮方法上，5/3 濾波器採用整數離散小波轉換，經過小波轉換後的數值為整數並不需要額外作量化即可以直接送至熵編碼(Entropy coding)端。然而，提升式演算法具有規則而有效的矩陣結構特性，每一個係數只須經由簡單的乘加器運算，即可產生高頻或低頻係數輸出。假設連續的一維原始訊號為 $s_{[0]}, d_{[0]}, s_{[1]}, d_{[1]}, \dots, s_{[n]}$ ；若要獲得 $d_{[0]}$ 的高頻訊號，則 $d_{[0]}^1 = d_{[0]} + (-1/2) \times (s_{[0]} + s_{[1]})$ ，如(6)式所示。相同地，若要求得低頻訊號 $s_{[1]}$ ，則須先將所求得的 $d_{[0]}$ 與 $d_{[1]}$ 之高頻訊號代入式中，如(7)式所示：

$$d_{[n]}^1 = d_{[n]}^0 - 1/2 \times (s_{[n]}^0 + s_{[n+1]}^0) \quad (6)$$

$$s_{[n]}^1 = s_{[n]}^0 + 1/4 \times (d_{[n-1]}^1 + d_{[n]}^1) \quad (7)$$

提升式 9/7 濾波器演算法較 5/3 濾波器演算法多一倍之運算量才能得到一維離散小波係數的輸出結果，其運算式如(8-11)式所示。

$$d_{[n]}^1 = d_{[n]}^0 + a \times (s_{[n]}^0 + s_{[n+1]}^0) \quad (8)$$

$$s_{[n]}^1 = s_{[n]}^0 + b \times (d_{[n-1]}^1 + d_{[n]}^1) \quad (9)$$

$$H_{[n]}^2 = d_{[n]}^1 + c \times (s_{[n]}^1 + s_{[n+1]}^1) \times 1/k_{[n]} \quad (10)$$

$$L_{[n]}^2 = s_{[n]}^1 + d \times (H_{[n-1]}^2 + H_{[n]}^2) \times k_{[n]} \quad (11)$$

$$\begin{aligned} \text{則} \quad a &= -1.586134342059924 ; b = \\ &= -0.052980118572961 ; c = 0.882911075530934 ; \\ d &= 0.443506852043971 ; 1/k_{[n]} = \\ &= 0.81293066 ; K_{[n]} = 1.230174104914001. \end{aligned}$$

三、提出之一維雙模提升式離散小波轉換 VLSI 架構

在此章節中，將提出本文所設計的 VLSI 架構，並討論電路中的三個 VLSI 架構設計的概念，其中分為：1) 管線架構設計、2) 移位加法器設計、以及 3) 摺疊架構設計。

3.1 管線架構設計

管線架構的原理是將運算程序的執行劃分為幾個步驟，並且依照適當步驟將所需要的硬體劃分成幾個階段(Stage)。每個階段會同步執行不同運算程序的個別步驟，藉由此方式來達到運算程序重疊執行(Overlap execution)之目

的。但其架構的處理並不會減少單一運算程序的執行時間，而是利用運算程序的重疊執行來增加訊號產出量。在進入小波模組(DWT module)運算前，本文採用鏡面映射方式處理邊界延伸(Boundary extension)[10]以適用於JPEG2000 壓縮系統；在水平讀取串列訊號後，依照鏡面映射原理重新排序，再將排序後的資訊送入管線架構中運算，如圖 2(a)所示。在圖 2(b)中為本文所改良提出的架構中除了雙模式 9/7 小波係數與 5/3 小波係數濾波器可以依據其應用需求切換外，亦將其輸入的原始奇數、偶數訊號經過一遍計算後輸出的值再回送至輸入中，而下一次的奇數、偶數的原始訊號又接著輸入進來，交互依序的做交換計算。如此設計，可以在加入管線架構及摺疊架構的情況下相較於簡化一半的傳統 VLSI 架構的硬體使用面積，並且無須額外設置選擇線控制輸入訊號值到正確係數的路徑。利用時脈與奇數、偶數取樣差的關係做其切換控制。在圖 2(c)所示，R1、R2、以及 R3 為三個不同階層的管線，也可以視為一個為了確保數值的正確性而設置的暫存器，在此暫存器的用意為統一所有管線所完成的時間，當全部管線都完成計算動作後，在同步的將所有各層級的管線往下一級傳送，如此的做法可以卻保每個層級輸出值的正確性。另外，在圖 2(b)中，把各個暫存器在同一時間內所作的不同處理表示出來，在管線處理的時脈圖中，可以觀察到每一個層級的工作有順序並且各自獨立處理不衝突的連接，以加快整體電路的硬體使用率。

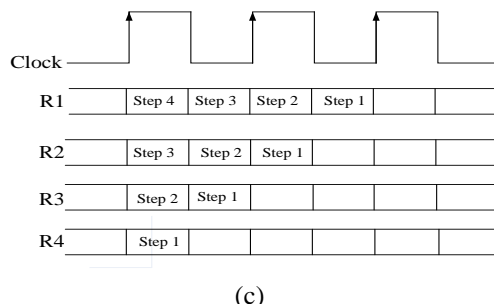
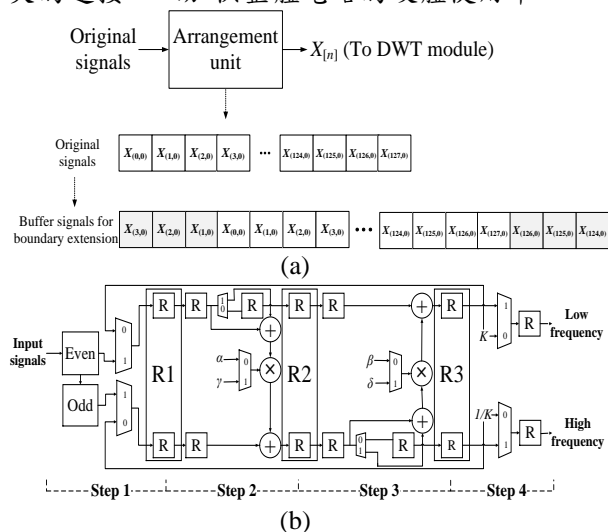


圖 2、提出的整體 VLSI 架構：(a)重新排序後鏡面映射法處理邊緣、(b)三級管線架構、(c)時序表示

3.2 移位加法器設計

乘法器在 VLSI 架構設計上的硬體成本與效能都是長久以來的問題。因此，本文提出一個移位相加的架構以解決乘法器硬體的問。在提升式離散小波轉換中，無論是 9/7 或 5/3 濾波器係數都可以利用其設計方式並合併成雙模式的架構。假設一個二進位的數值，將其右移一個位元(Bit)，此數值會因為本身二進位的冪次方關係而整體除以二，如果將其左移一個位元，此數值也會因為本身二進位的冪次方關係而整體乘以二。利用這樣的位移效果可以做出二的次方倍處理，再配合使用加法器讓位移後的數值相加，即可達到不使用任何乘法器之效果。

在本文所設計的架構中，其輸入值為 8 位元與輸出值為 16 位元；其中第一位元為符號位元(Sign bit)、中間的十個位元為整數位元(Integer bit)、以及最後五個位元的浮點數(Fraction Part)[8]。為了處理浮點數的運算，在架構中本文將輸入的 8 個位元向左位移五個位元，讓整體乘以二的五次方倍(2^5)，之後在將其輸出向右位移五個位元，再把運算完成的值除以二的五次方倍($\frac{1}{2}^5$)，即放大後的訊號能有 5 個位元的空間做浮點數運算，最後再回到原本的數值，如此可以保持中間值運算時能有 5 個位元的浮點數空間以便使因輸出所產生的訊號誤差縮小。如圖 3(a)所示，本文提出將原始 9/7 濾波器組的小波乘法器係數 α 利用移位加法器來取代；假設輸入訊號(Input signal)為 x ，進入本文所提出的 VLSI 架構後， x 將會有兩個路徑，一個路徑 x 向右移一個位元(即為除以二後成為 $0.5x$)以及另一個路徑的 x 與 $0.5x$ 相加後可以成為 $1.5x$ ，最後再經過一個負號使其輸出成為 $-1.5x$ (取其 -1.5 即為硬體所產生的 α

係數)，並近似於理論小波係數值-1.586。另外，如圖 3(b)所示，將其原始 9/7 濾波器的小波乘法器係數 β 係數利用移位加法器來取代；假設輸入訊號為 y ，進入我們所提出的 VLSI 架構後， y 直接經過右移四次後再經過一個負號使其輸出成為 $-0.062y$ (取其 -0.062 即為硬體所產生的 β 係數)，並近似於理論小波係數值 -0.053 。以此類推(如圖 3(c)-(f))， γ 以硬體所構成的小波係數為 0.799 ，近似於理論的係數 0.883 與 δ 以硬體構成的係數 0.468 ，近似於理論的小波係數 0.444 。最後在輸出前所作的調整係數， K 以硬體所構成的小波係數為 1.25 ，近似於理論的小波係數 1.230 以及 $1/K$ 以硬體所構成的小波係數為 0.8125 ，近似於理論的小波係數 0.813 ；上述所提出的方法在考慮 VLSI 硬體限制與訊號品質中可以取得一個較好的權衡(Trade-off)[8]。

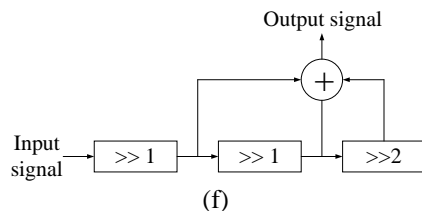
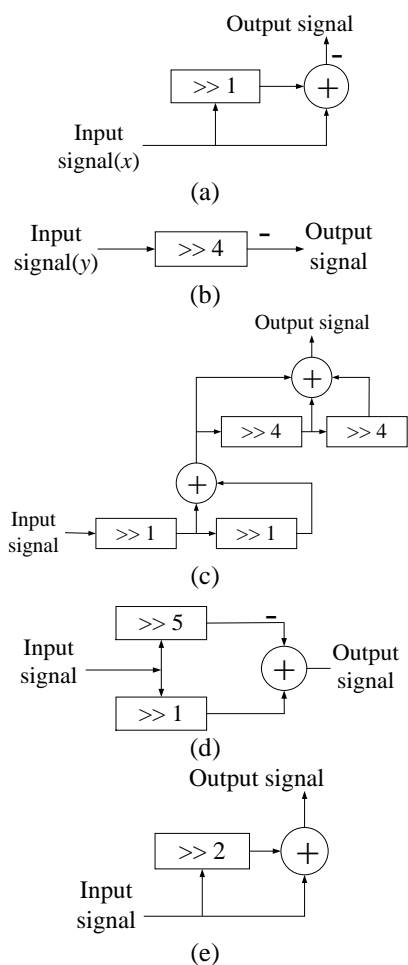


圖 3、提出的 9/7 離散小波轉換濾波器移位加法器係數架構設計：(a) α 係數、(b) β 係數、(c) γ 係數、(d) δ 係數、(e) K 係數、(f) $1/K$ 係數

3.3 摺疊架構設計

傳統的提升式離散小波轉換係數中分為 5/3 與 9/7 濾波器組，本文提出將 9/7 濾波器的四個係數 α 、 β 、 γ 、 δ 與 5/3 小波濾波器係數 α 、 β 利用摺疊架構的設計方式以節省面積與其效能。然而，在 9/7 小波濾波器係數中， α 、 β 以及 γ 、 δ 同樣屬於相似的架構，並且兩者架構在同時脈內因為不相衝突，所以利用摺疊原理將其 9/7 小波濾波器係數簡化成 α 與 γ 係數為一組運算電路， β 與 δ 係數為一組運算電路，並在額外利用選擇線做其係數的選擇控制。

在圖 4 中，輸入的訊號區分為偶數(Even)訊號以及奇數(Odd)訊號；R3_E 為偶數訊號經過第三階層管線處理後的訊號回送至輸入端，R3_O 為奇數訊號同樣的經過第三階層的管線處理後回送至輸入端。當時脈(Clock)為 1 時，則是讓原本的奇偶訊號輸入做運算；當時脈為 0 時，則是做管線後回送的奇偶訊號進去運算。如此的動作，可以達到在兩個時脈週期內完成出高頻訊號與低頻訊號的輸出。

圖 5 將雙模提升式係數作合併以 VLSI 架構設計與實現，其中具有兩條訊號線做為控制單元，為控制選擇 9/7 濾波器或 5/3 濾波器在應用時的小波係數。實際內部為當時脈為 1 時，則 α 、 β 開始動作；當時脈為 0 時，則 γ 、 δ 開始動作。由於 α 、 γ 合併與 β 、 δ 合併後兩者係數皆處於不同時脈工作，所以兩者間的加法器可以共享使用。如此一來，即可再降低加法器的使用數量，使其整體在沒有使用乘法器的形況增加硬體效能。以圖 5(a)為例，合併 5/3 與 9/7 小波係數的部分是利用圖 3(a)與圖 3(c)的電路加入多工器作為後 5/3 或 9/7 濾波器組的功能。選擇經過本文所提出的摺疊雙模濾波器後，原本經過 α 係數與 γ 係數的加法器數量為三個，但因為係數摺疊架構後可以共享加法器，使其合併後的小波係數 α 、 γ 僅需使用兩

個加法器，如此可以節省加法器的硬體資源。除此之外，因為本文所提出的架構在考慮浮點數運算上位元限制(Word length effect)的問題，針對較精確的右移結果會讓移動後的資料趨近於零。例如，輸入為 8 個位元的值，卻做超過 8 個位元以上的右移，使得趨近於零的資料做運算是無意義的動作，所以在改良的摺疊雙模濾波器組中對於圖 3(c)中過於精確的浮點數右移會做移除的動作。

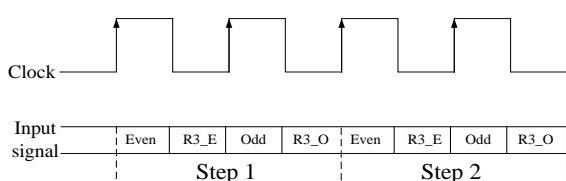


圖 4、改良式摺疊架構於時脈的資源分配

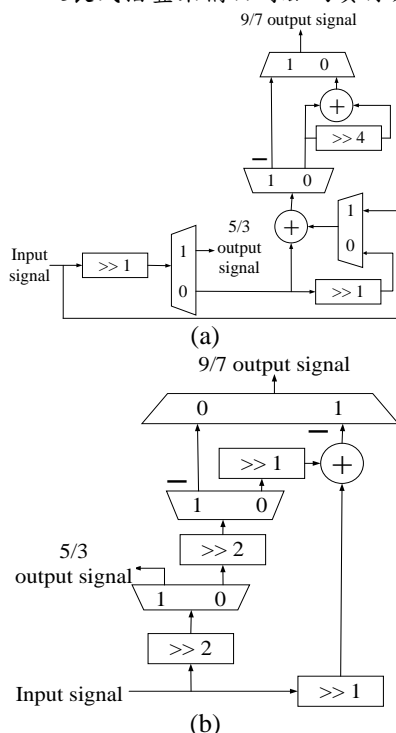


圖 5、摺疊雙模相加移位小波係數之 VLSI 架構：
 (a)合併 5/3 與 9/7 濾波器的 α 、 γ 小波係數、
 (b)合併 5/3 與 9/7 濾波器的 β 、 δ 小波係數。

四、實驗分析與比較

本文提出的一維雙模提升式離散小波轉換 VLSI 架構設計，利用 Verilog 硬體描述語言開發配合 Xilinx ISE 編譯器做功能模擬。模擬時輸入為 8 位元，且為了提升資料的精確度，在輸出、入間設置位移暫存器保持為 11 位元的整數與 5 位元的浮點數，故輸出為 16 位元的精準的小波訊號值。最後在 Xilinx FPGA 晶片為 Spartan3A 系列的 XC3S200AN 作為測試。

表 1 中，比較幾種不同的一維提升式離散小波轉換 VLSI 架構並作加法器數量、乘法器數量、以及多工器的數量。本文所提出的架構沒有使用到任何乘法器且輸入到輸出間經過臨界路徑為 $8T_a$ ；此特性在一維 9/7 提升式濾波器的時間比較上較有優勢，因為乘法器佔有較多的硬體資源且具有時間延遲性，往往會增加其潛在時間過長的問題。從分析中可以看出，在文獻[4]與[5]所提出的方法中大量使用乘法器、暫存器、以及多工器來維持較高硬體的效能，在加法器與乘法器的數量權衡下相較於本文產生較大的面積。然而，在文獻[7]中所提出正交結構且每一級需要四個加法器與兩個乘法器，故 N 層級需要 $2N+2$ 個加法器與 $N+1$ 個乘法器，較本文的方法上產生較多的乘法器、加法器、以及臨界路徑。

最後，一般以影像訊號傳輸為例，在原始影像傳輸前會經過影像或視訊壓縮，而影像輸入訊號壓縮的運算時間過長會造成傳輸端的延遲時間過大，因此相關文獻[3-7],[11-13]在 VLSI 架構中臨界路徑的時間比較相對重要(其路徑的傳送延遲較長會限制整體運算架構工作頻率之主要因素)，如表 2 所示。

表 1、運算單元數量比較

方法	加法器	乘法器	多工器
Yiet al. [3](9/7 濾波器)	12	0	0
Sowjanya et al.[4](9/7 濾波器)	8	6	0
Liao et al.[5](9/7 濾波器)	8	6	6
Martina et al.[6](9/7 濾波器)	11	0	11

Cooklev[7](5/3 濾波器)	$2N+2$	$N+1$	5
Tsai et al.[11](9/7 濾波器)	18	9	0
Tian et al. [12](9/7 濾波器)	8	5	0
Souaniet et al. [13](9/7 濾波器)	4	4	0
This work(雙模式濾波器)	9	0	For 9/7 mode= 9 For 5/3 mode = 2

*N 為輸入訊號長度

表 2、處理時間之比較

方法	臨界路徑
Sowjanya et al. [4](9/7 濾波器)	$8T_a+6T_m$
Martina et al. [6](9/7 濾波器)	$11T_a$
Cooklev [7](5/3 濾波器)	$(4N)T_a+(2N)T_m$
Tsai et al. [11](9/7 濾波器)	$4T_a+6T_m$
Tian et al. [12](9/7 濾波器)	$8T_a+5T_m$
This work(雙模式濾波器)	$8T_a$

* T_a 為訊號經過加法器的運算時間、 T_m 為訊號經過乘法器的運算時間

五、結論

本文中解決傳統一維提升式離散小波轉換的 VLSI 架構問題，主要提出解決運算單元、僅單一模式濾波器係數使用、以及硬體處理時間等問題。利用管線架構配合摺疊式架構達到雙模式係數(同時可以支援 5/3 與 9/7 離散小波係數)降低硬體資源使用並增加其應用範圍。從實驗結果中可看出，本文所提出的一維雙模提升式離散小波轉換實現於 Xilinx FPGA 中做驗證，其 VLSI 架構不具任何乘法器運算、僅需 $8T_a$ 的臨界路徑、潛在時間為 5.2 ns、功率消

耗為 3.1 mW、以及最大工作頻率在 93.2 MHz 的低資源、低功率且兼具速度的高效率硬體架構，在未來適合實現於低成本的嵌入式平台。

參考文獻

[1] Hsieh, C. F., Tsai, T. H., Hsu, N. J., and Lai, C. H., "A novel, efficient architecture for the 1D, lifting-based DWT with folded and pipelined schemes," Joint Conference on Information Sciences, 2006.
 [2] Al-Haj, A. M., "An FPGA-based parallel distributed arithmetic implementation of

the 1-D discrete wavelet transform," Informatica, Vol. 29, No.1, pp. 241–247, 2005.

[3] Yi, Q. and Xie, S., "Arithmetic shift method suitable for VLSI implementation to CDF 97 discrete wavelet transform based on lifting scheme," IEEE International Conference on Machine Learning and Cybernetics, pp. 5241–5244, 2005.
 [4] Sowjanya, D., Srinivas, K. N. H., and Ganapathi, P. V., "FPGA implementation of efficient VLSI architecture for fixed point 1-D DWT using lifting scheme," International Journal of VLSI design & Communication Systems, Vol.3, No.4, pp. 37–48, 2012.
 [5] Liao, H., Mandal, M. K., and Cockburn, B. F., "Efficient architectures for 1-D and 2-D lifting-based wavelet transforms," IEEE Transactions on Signal Processing, Vol. 52, No. 5, pp. 1315–1326, 2004.
 [6] Martina, M. and Masera, G., "Folded multiplierless lifting-based wavelet pipeline," IET Electronics Letters, Vol. 43, No. 5, pp. 27–28, 2007.
 [7] Cooklev, T., "An efficient architecture for orthogonal wavelet transforms," IEEE Signal Processing Letters, Vol. 13, No. 2,

- pp. 77–79, 2006.
- [8] Hsia, C. H., Chiang, J. S., and Guo, J. M., “Memory-efficient hardware architecture of 2-D dual-mode lifting-based discrete wavelet transform,” *IEEE Transactions on Circuits and Systems for Video Technology*, Vol. 23, No. 4, pp. 671–683, 2013.
 - [9] Daubechies, I. and Sweldens, W., “Factoring wavelet transforms into lifting steps,” *Journal of Fourier Analysis and Application*, Vol. 4, No. 3, pp. 247–269, 1998.
 - [10] Tan, K. C. B. and Arslan, T., “Low power embedded extension algorithm for lifting-based discrete wavelet transform in JPEG2000,” *Electronics Letters*, Vol. 37, No. 22, pp. 1328–1330, 2001.
 - [11] Tsai, C. F., Wang, H. S., Hung, K. C., and Hsia, S. C., “Non-recursive discrete periodized wavelet transform using segment accumulation algorithm and reversible round-off approach,” *IEICE Transactions on Information and Systems*, Vol. E91–D, No. 11, pp. 2666–2674, 2008.
 - [12] Tian, X., Zhou, Z., Tan, Y. H., and Tian, J. W., “Parallel 9/7-tap wavelet based on lifting structure,” *IET Electronics Letters*, Vol. 43, No. 11, pp. 617–618, 2007.
 - [13] Souani, C., Abid, M., Torki, K., and Tourki, R., “VLSI design of 1-D DWT architecture with parallel filters,” *Integration, the VLSI Journal*, Vol. 29, No. 2, pp. 181–207, 2000.