

以非常有效率的設計窗口技術實現電感電容壓控振盪器

李志遠^{1*} 張辰嘉²

¹國防大學理工學院電機電子系

²國防部空軍防空警衛司令部

摘 要

本論文提出以設計窗口技術實現 pn 互補式交叉耦合電感電容壓控振盪器(LC-VCO)的電路設計。根據規格訂定的設計窗口，由高與低頻率限制線、最大與最小電壓限制線及啟動條件限制線所構成；模擬結果顯示，所有座落在設計窗口的設計點都可滿足電路的規格要求。此外，本論文透過設計窗口的特性展現，當針對相位雜訊降低設計時，則使得可調頻率範圍縮小，產生消長之趨勢；或是增加功率消耗以獲致較低之相位雜訊，則顯示特性指標互相連動之關係。利用設計窗口技術權衡特性指標，將成為獲致最佳化 LC-VCO 特性的一項關鍵設計技術。

關鍵詞：電感電容壓控振盪器，設計窗口，設計技術，射頻積體電路

A Highly Efficient Design Window Technique for LC-VCO Realization

Chih-Yuan Lee^{1*} and Chen-Chia Chang²

¹*Department of Electrical & Electronic Engineering, Chung-Cheng Institute of Technology, National Defense University*

²*Air Defense Artillery and Garrison Command, Air Force Command Headquarters, Ministry of National Defense*

ABSTRACT

This study proposed using the design window technology to realize circuit design of pn cross-couple LC voltage controlled oscillator (LC-VCO). The design window complied with the specifications, and was composed of high and low frequency line, maximum and minimum tank voltage line and start-up line. The simulation results showed that all design points at the design window can meet the specification requirement of circuit. In addition, by presenting the feature of design window, the tuning range could be narrowed to accompany with lowering the phase noise, and the phase noise could be reduced to accompany with increasing the power consumption. It was found that the feature indexes are interrelated and reciprocal correlation. Using the design window technological trade-off feature index could be a key design technology for acquiring the optimal LC-VCO feature.

Keywords: LC-VCO, design window, design technique, and RFIC

一、前言

以集積化(Integrated) LC 壓控振盪器(VCO, Voltage Controlled Oscillator)作為本地振盪器(Local Oscillator) [1], 是現代化射頻通訊系統獲致訊號升頻與降頻功能經常使用的電路。LC-VCO 與傳統的環形振盪器相比, 在相同功率損耗(Power Consumption)下具有較低的相位雜訊(Phase Noise); 同時整合容易且所佔面積也較小。無論如何, 以標準 CMOS 技術設計的電路, 同時獲致低相位雜訊、低功率損耗及寬可調頻率範圍(Tuning Range)等 VCO 特性指標, 已成為設計者極為嚴峻的挑戰[2]。

過去相關可調頻率範圍文獻[3]-[8]中, 提出以累積型態的金氧半(Accumulation Mode Metal Oxide Semiconductor)結構的可變電容(Varactor)進行設計, 將可變電容之電容值上限和下限的範圍變寬, 進而增大調變頻寬[3]; 但此電路在偏移頻率(Offset Frequency)為 1 MHz 時, 相位雜訊僅只有 -109 dBc/Hz 的展現。另外多開關結構電容組的設計, 可有效增大振盪電路之可調頻率範圍達 28 %; 同時調變電壓(Tuning Voltage)也只需 0-2 V; 但在相位雜訊特性的表現也不盡理想[4]。同樣多開關可變電容組的設計, 在電感電容儲槽兩旁多加 3 組多開關電容組, 確實增大電路之可調頻率範圍[5]; 但也因為元件數增多, 導致整體電路面積變大, 而使得功率損耗隨之增大。藉由負回授(Negative Feedback)電路使得 VCO 的特性不隨溫度產生變異[6], 或以差動負電阻結構, 降低 VCO 的寄生電容[7]-[8], 同時可使得調變頻率範圍特性獲致改善。

致力於改善集積化 LC-VCO 之相位雜訊效能 [9]-[19], 以脈衝敏感函數(Impulse Sensitive Function)的理論分析諧振腔電壓對相位雜訊的影響, 並探討雜訊的來源, 引入尾電流(Tail Current)的併聯電容而獲致相位雜訊降低[9]; 或是推導 $1/f^2$ 的相位雜訊關係, 以瞭解影響相位雜訊的機制[10]。電晶體的通道長度設計將直接影響相位雜訊, 藉由電晶體幾何結構與雜訊關係的分析, 可獲得電路相位雜訊與通道長度變化的關連性; 且也得以藉此分析, 達成最佳化相位雜訊效能的通道長度設計 [11]-[12]。或是結合回授電容的設計, 控制 VCO g_m 讓壓控振盪器輸出振幅變大, 進而改

善相位雜訊; 但功率消耗過大[13]。透過改善電感電容儲槽上之螺旋電感品質因子(Quality Factor)以降低相位雜訊的設計, 包括利用磅線的電感設計, 讓電感電容儲槽的品質因子獲得提升[14]。受限於製程所提供之金屬層數, 藉由垂直耦合的電感結構設計, 再提供較高之諧振腔電壓以達到較高的振盪器能量, 而降低振盪器之相位雜訊[15]。將多層金屬併聯降低串聯阻抗而獲致 Q 值提升, 以降低相位雜訊; 但卻犧牲了可調頻率範圍[16]。或是在螺旋電感下方的基體, 利用半導體製程的 N 型深阱區(Deep n-well)的護環(Guard Ring)技術, 以抑制基底的雜訊造成螺旋電感的磁能損耗, 降低導線上的渦電流(Eddy Current)影響, 進而改善電感品質因子 [17]; 或是利用差動對稱(Differential Symmetrical)的螺旋電感結構, 透過電感線圈電流方向的設計, 讓電感內部磁場增加, 獲致電感品質因子的提升, 而降低相位雜訊[18]-[19]。

總而言之, 以上文獻所提及的電路設計理念, 都僅針對電路的部份組態或元件探討, 例如: 針對可調頻率範圍提昇的設計, 卻未一併考量降低相位雜訊, 因此相位雜訊的特性表現不盡理想; 或是針對降低相位雜訊設計而忽略可調頻率範圍的增加。因此同時需要多重特性指標最佳化時, 對於 LC-VCO 設計者仍然是一項嚴峻挑戰。利用設計軟體輔助電路最佳化設計, 已是目前積體電路設計的主流[20]。雖然設計效率高, 但是由於設計軟體僅包含有限的物理觀念或經驗關係式, 並無法獲得多重特性指標的最佳化電路特性。因應未來無線通訊系統的要求, 透過電路理論進行設計, 並依此提出有效的設計方法[21]-[23]; 但並未全盤考量 VCO 特性指標的設計, 以確保晶片製作的良率。因此提出所有設計參數的權衡(Trade-off)關係之最佳化設計, 已是目前不可或缺的積體電路設計技術。

本論文以 RF CMOS 製程技術設計射頻積體電路, 考量在 TSMC 0.18 μm 製程技術中, 造成訊號完整性問題的寄生及傳輸線效應, 提出節省類比電路設計時程及提高製作良率的設計窗口技術, 以及設計參數與 VCO 特性指標效能的權衡關係。第二節介紹設計窗口的理論; 實驗的方法接續在第三節; 第四節彙整利用電路設計模擬軟體驗證設計窗口的結果, 以及設計窗口的特性與 VCO 特性指標的關連;

最後一節綜整本論文的結論。

二、設計窗口技術

本研究之 VCO 設計，主要以 LC 諧振腔的考畢茲(Colpits)振盪器型態為基礎，結合 pn 互補式交叉耦合差動對電路以降低共模(Common Mode)影響[22]；再搭配 PMOS 元件作為差動對放大電路之尾電流，可使得振盪電路具有較低的 $1/f$ 閃爍雜訊(Flicker Noise)[22]，圖 1 顯示 pn 互補式交叉耦合 LC-VCO 示意圖。

為了有效進行 VCO 的設計，必須考慮電路所有影響振盪特性的之寄生電路參數，依據半電路(Half Circuit)分析理論[24]，以及圖 1 交叉耦合電路結構中所有元件在高頻的寄生特性關係，綜整繪製如圖 2 顯示的半電路等效電路圖，中間虛線表示共模的虛接地。等效電路區分四個區塊由上而下分述如下：

- (1) 矽製螺旋電感的等效電路[25]，導線的效應除了電感之外，也包含非理想導體所具有的電阻，以及相鄰導線間、導線與基底間的寄生電容，與代表電感的電磁場耦合到基底產生基底損耗效應的基底電阻。
- (2) 利用 MOS 結構製作之可變電容等效電路，除了電容之外，也包含訊號傳輸經過基底路徑所伴隨的損耗效應。
- (3) 金氧半場效電晶體之等效電路，主要是由電晶體的轉導、輸出電導損耗及金氧半結構所產生的寄生電容。
- (4) 負載電容，主要是包含佈局時元件間連接的金屬走線與矽基底間產生的寄生電容；以及振盪器本體連接外部電路所需的緩衝器(Buffer)與匹配電路，該些電路與矽基底間產生的寄生電容。

依各元件的相關物理結構分析，此振盪電路相關幾何結構或特性參數共包含 12 個設計變數，詳列於表 1。其中被動元件包含三個元件，一是螺旋電感之幾何結構參數包含金屬導線寬度(w)、金屬導線間距(s)、圈數(n)、以及內徑(d)等 4 個設計變數；另一是可變電容包含最大可調電容值($C_{v,max}$)與最小可調電容值($C_{v,min}$)等 2 個變數以及負載電容(C_{load})變數。主動電路則以 pn 互補式交叉耦合金氧半場效電晶體幾何結構參數的通道寬度(W_n 、 W_p)以及通道長度(L_n 、 L_p)。最後引入尾電流(I_{bias})當作

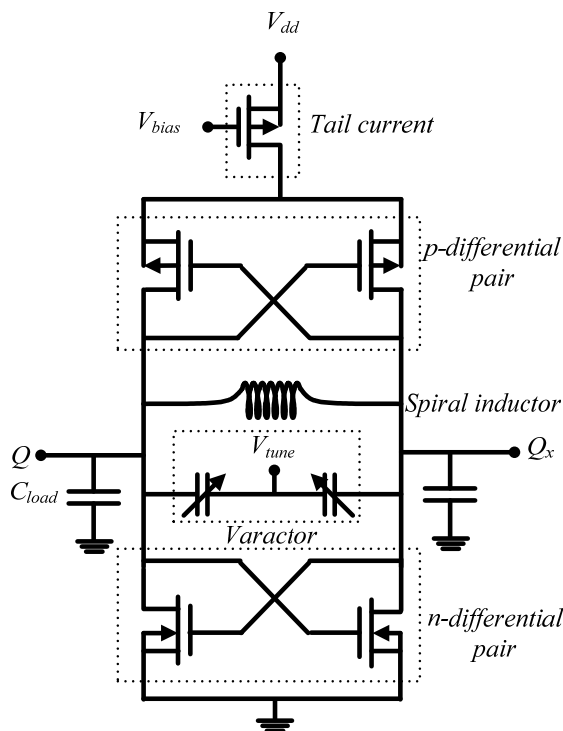


圖 1. pn 互補式交叉耦合 LC 壓控振盪電路圖。

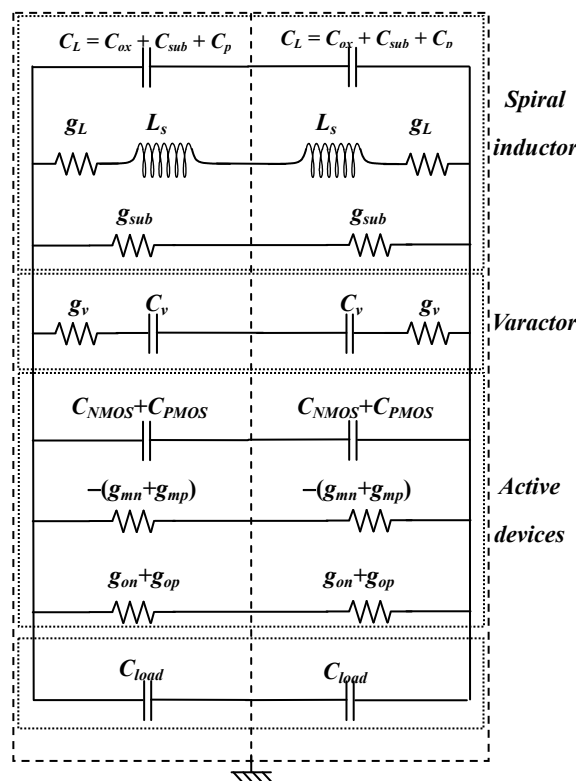


圖 2. 交叉耦合 LC 壓控振盪電路等效電路圖。

表 1. 幾何結構或特性相關電路設計變數表

Device		Design Parameter	
Passive	Spiral Inductor	Inner Diameter, Width, Turns, Spacing	d, w, n, s
	Varactor	Maximum Capacitance, Minimum Capacitance	$C_{v,max}, C_{v,min}$
Active	Transistor	Channel Width, Channel Length	W_n, W_p, L_n, L_p
Active	Transistor	Tail Current	I_{bias}
Load	Capacitor		C_{load}

偏壓電流的設計變數。彙整圖 2 所有電路相關之參數關係式表示如下：

$$2g_{tank} = g_{on} + g_{op} + g_v + g_L \quad (1)$$

$$2g_{active} = g_{mn} + g_{mp} \quad (2)$$

$$L_{tank} = 2L_s \quad (3)$$

$$2C_{tank} = C_{PMOS} + C_{NMOS} + C_L + C_v + C_{load} \quad (4)$$

其中(1)式表示整體諧振腔的損耗，包含電晶體輸出電導損耗(g_{on} 、 g_{op})、可變電容電導損耗(g_v)以及包含導線與基底電導損耗總和的螺旋電感電導損耗(g_L)；(2)式表示主動電路提供振盪所需之負電導，以金氧半場效電晶體之轉導(g_{mn} 、 g_{mp})為主；(3)式則為振盪器的電感；最後，(4)式為振盪電路包含之總電容，其中除了可變電容值(C_v)之外，也包含電晶體之寄生電容(C_{PMOS} 、 C_{NMOS})、螺旋電感之寄生電容(C_L)以及負載電容(C_{load})。

2.1 設計參數縮減

由於各結構參數彼此間的關係相當複雜，為了簡化設計的複雜度並同時兼顧電路設計的準確性，必須透過相關物理簡化參數而使得設計變數得以縮減，考量如下：

表 2. 縮減之電路設計參數表

Device		Design Parameter	
Passive	Varactor	Maximum Capacitance	$C_{v,max}$
Active	Transistor	Channel Width	w

- (1) 為了滿足整體電路對於功率消耗限制，將尾電流 I_{bias} 直接設定為 I_{max} 。
- (2) 本研究採用 TSMC 0.18 μm 製程技術設計電路，利用製程可容許之最短通道長度 0.18 μm ，直接設定 pn 互補式交叉耦合金氧半場效電晶體通道長度 L_n 與 L_p ，此舉除可獲致最大之轉導，並可降低寄生電容。另外考量簡化電路設計複雜性，將 PMOS 與 NMOS 通道寬度 W_p 與 W_n 設定為相同。
- (3) 由於本研究將 MOS 可變電容的通道長度固定，此舉將使得可變電容的 $C_{v,max}/C_{v,min}$ 比值維持固定。
- (4) 本研究將根據電路佈局所需之匹配電路及元件間連接的金屬走線等，另外計算與矽基底間的寄生電容，直接在模型中引入此負載效應。

根據以上四點簡化參數的考量，可將表 1 的 12 個設計變數縮減為 6 個，其中包含螺旋電感的 4 個參數、 n 型金氧半場效電晶體通道寬度(w)及可變電容最大值($C_{v,max}$)等。另外透過最佳化螺旋電感設計法則設計螺旋電感 [25]；因此，可再從 6 個設計變數縮減為 2 個，表 2 顯示縮減設計變數後剩餘之獨立設計變數。

2.2 可調頻率範圍限制

依據電路規格訂定之頻率範圍，在滿足可調頻率範圍上下限制的要求下，透過並聯諧振關聯 LC 諧振腔之設計參數表示為

$$L_{tank} C_{tank,min} \leq \frac{1}{\omega_{max}^2} \quad (5)$$

$$L_{tank} C_{tank,max} \geq \frac{1}{\omega_{min}^2} \quad (6)$$

。而振盪電路的中心頻率，可透過下式表示為

$$\omega_{center} = \frac{\omega_{max} + \omega_{min}}{2} \quad (7)$$

。為了獲致準確的壓控振盪器頻率調整，除了可變電容外，仍須完整考量電路中各個影響諧振頻率及可調頻率範圍之寄生電容。在(5)及(6)式中的諧振腔最大與最小電容值則根據(4)式表示為

$$2C_{tank,max} = C_{PMOS} + C_{NMOS} + C_L + C_{v,max} + C_{load} \quad (8)$$

$$2C_{tank,min} = C_{PMOS} + C_{NMOS} + C_L + C_{v,min} + C_{load} \quad (9)$$

，由於螺旋電感的設計不包含在本電路設計法則中，因此在(8)、(9)式的 C_L 視為不隨電晶體結構變化的定值。而電晶體的寄生電容，主要來自於閘汲極電容(C_{gd})、閘源極電容(C_{gs})以及汲極接面電容(C_{db})等結構寄生電容的貢獻[21]，表示為

$$C_{NMOS} = 4C_{gd,n} + C_{gs,n} + C_{db,n} \quad (10)$$

$$C_{PMOS} = 4C_{gd,p} + C_{gs,p} + C_{db,p} \quad (11)$$

。將(10)、(11)式結合 2.1 節的考量，並設定可變電容的 $C_{v,max}/C_{v,min}$ 比值為 k ，因此，可將(8)、(9)式諧振腔最大與最小電容值改寫成

$$2C_{tank,max} = C_{NMOS}(w) + C_{PMOS}(w) + C_{v,max}(w) + C_L \quad (12)$$

$$2C_{tank,min} = C_{NMOS}(w) + C_{PMOS}(w) + \frac{C_{v,max}(w)}{k} + C_L \quad (13)$$

。將上述兩式可調頻率範圍設計條件，代入(5)、(6)式，即可得頻率限制條件關係。因此設計時，當總諧振腔電容根據諧振頻率的規格要求固定後，所以調變金氧半場效電晶體的通道寬度時，將導致最大可變電容值伴隨產生變化。依據(12)、(13)式及(5)、(6)式，繪製最大頻率限制線及最小頻率限制線，如圖 3 所示，涵蓋在上、下限可調頻率限制線之間的區域，

都是可容許滿足最小可調頻率範圍規格的設

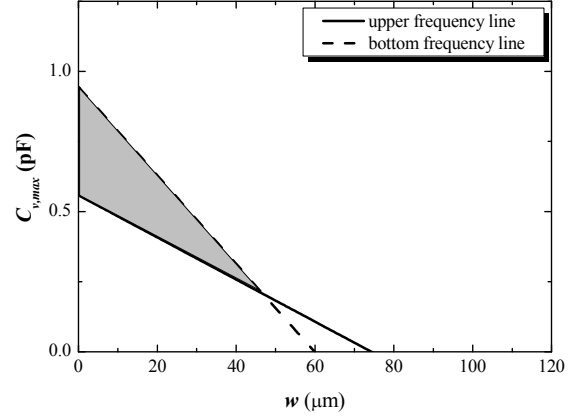


圖 3. 可調頻率範圍限制曲線圖。

計點。

2.3 工作電壓限制

振盪器的最大功率與尾電流相關，避免設計電路之整體功率損耗不超過電路上限，因此，尾電流的設計必須低於最大容許功率之電流，表示為

$$I_{bias} \leq I_{max} \quad (14)$$

。為了確保設計之振盪電路正常運作，在諧振腔上的電壓降，必須高於主動電路元件之啟動電壓(Threshold Voltage)，以滿足產生振盪所需之諧振腔最小電壓；同時為避免過大之諧振腔電壓降，導致產生尾電流的電晶體操作時，從飽和區進入三極管區，造成額外的功率損耗。所以諧振腔最大、小電壓限制條件表示為

$$V_{tank,max} \geq V_{tank} = \frac{I_{bias}}{g_{tank,max}} \geq V_{tank,min} \quad (15)$$

，其中 $g_{tank,max}$ 表示為整體振盪電路最大的電導損耗。依據圖 2 所示，諧振腔電導損耗來自三方面，包含電晶體、螺旋電感以及可變電容之電導損耗。依據電容之品質因子定義，可變電容的電導損耗表示為

$$g_v = \frac{C_v \omega}{Q_v} \quad (16)$$

， Q_v 為可變電容品質因子， ω 為操作頻率。而螺旋電感的電導損耗包含導線及基底的電導

損耗，藉由螺旋電感的幾何結構及電磁理論得

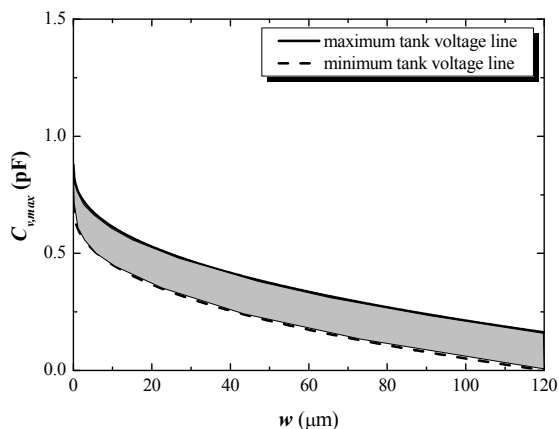


圖 4. 諧振腔之最小、最大電壓限制曲線圖。

知，螺旋電感電導損耗表示為

$$g_L = \frac{1}{R_p} + \frac{1}{(L\omega)^2 / R_s} \quad (17)$$

，其中 R_p 為基底電阻， R_s 電感上金屬的串聯電阻。另外，在金氧半場效電晶體輸出電導損耗，根據短通道電晶體模型[20]表示為

$$g_{on} = \lambda_n I^{0.6} L^{-1} w^{0.4} \quad (18)$$

$$g_{op} = \lambda_p I^{0.6} L^{-1} w^{0.4} \quad (19)$$

，其中 λ_n 與 λ_p 為擬合值， I 為電晶體汲極電流、 L 為電晶體通道寬度， w 則是電晶體通道寬度。透過(15)式的電壓關係，再利用設計變數縮減的第一項條件，將 $g_{tank,max}$ 與(16)-(19)式的電導關係代入(1)式，即可獲得諧振腔最大、小電壓限制條件伴隨電晶體通道寬度與可變電容變化的關係，如圖 4 所示。

2.4 啟動條件限制

依據負電阻振盪理論，主動電路所提供之負電導，必須與振盪電路的總體電導損耗抵銷，才使得振盪電路產生無損耗的振盪。依最小迴路增益之條件，主動電路之負電導與諧振腔電導損耗的關係表示為

$$g_{active} \geq \alpha_{min} g_{tank,max} \quad (20)$$

。當諧振腔具有最大電導損耗 $g_{tank,max}$ 時，主動電路為了克服整體電路的電導損耗，且避免

起振能力不足的偏差發生，本研究設定電路迴

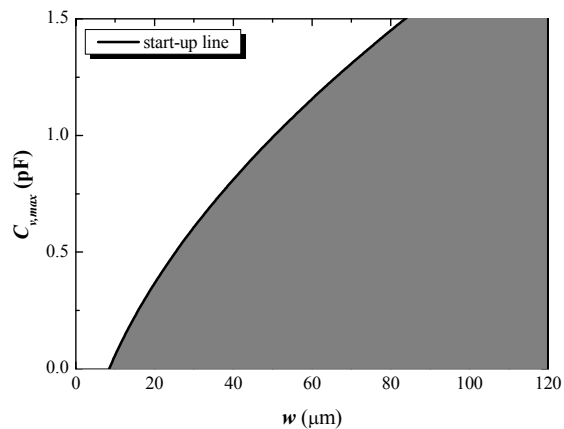


圖 5. 啟動條件曲線圖。

授增益必須達到最小迴路增益(α_{min})為 3 的條件。再根據電晶體操作在飽和區時，轉導與汲極電流(I)關係表示為

$$g_{mn} = \sqrt{2\mu_n C_{ox} \frac{w}{L} I} \quad (21)$$

$$g_{mp} = \sqrt{2\mu_p C_{ox} \frac{w}{L} I} \quad (22)$$

。我們將(1)、(21)、(22)式代入(20)式啟動條件之限制，可得啟動條件限制線伴隨電晶體通道寬度與可變電容變化的關係，如圖 5 所示，滿足(20)式的區域為右邊陰影之區塊，意即所選取之設計點必須座落於限制線右邊的區域，才能滿足啟動條件之限制。

2.5 設計窗口

彙整圖 3-5 的限制曲線圖，可得 LC-VCO 限制曲線之設計整合圖，如圖 6 所示。圖中灰色區域表示電路特性可滿足限制曲線之範圍，稱之為設計窗口；而最大與最小可調頻率曲線的交點，則表示該電路可調頻率恰巧等於規格所要求的範圍；當壓控振盪器的設計參數座落在設計窗口區域內，表示所設計之電路特性將完全滿足電路要求之規格。一旦設計窗口的面積越大，表示所設計之電路可容忍製程變異的能力越大；亦或是設計電路產生偏差時，在滿足電路規格的條件下，可容許偏差的範圍也將越寬。

三、實驗方法

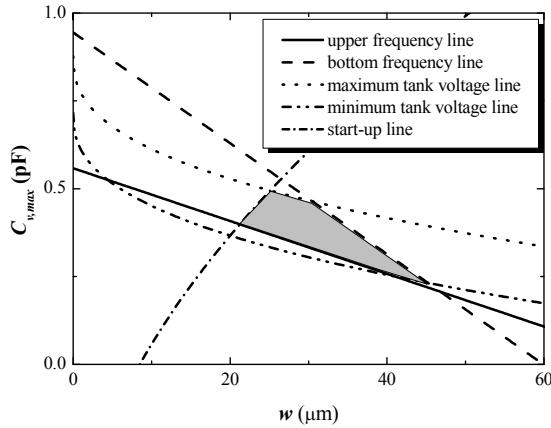


圖 6. LC 壓控振盪路之設計限制曲線整合圖。

本論文以 5 GHz 的 pn 互補式交叉耦合壓控振盪器所需之規格，如表 3 所列，利用前一節振盪器設計理論，搭配電路結構參數與特性之間的關係，以數值分析之方法建構符合規格要求的設計窗口。並採用安捷倫公司之先進設計系統的電路模擬軟體(ADS, Advanced Design System)，進行邊界設計點之驗證。在設計窗口中，擬定 16 個設計點，如表 4 所列，進行模擬與驗證，其中考量元件效能及製程可容許的元件尺寸大小關係與 TSMC 提供 ADS 模型的限制，因此通道寬度變化分別為 20、30、40 及 50 μm ，所對應之可變電容最大值分別為 0.25、0.31、0.37 及 0.43 pF。透過這些驗證，並探討與分析設計窗口的特性行為、電路特性的展現及趨勢，包含相位雜訊、可調頻率範圍、功率損耗以及中心頻率等振盪器效能指標等電路特性。

因應設計晶片的量測需求，但量測儀器的負載效應>Loading Effect)將造成高頻輸出信號之影響；為了有效隔離量測儀器與振盪器，以獲致實際晶片電路特性，必須在振盪器的輸出端加入緩衝器與 LC 匹配電路設計。以源極隨耦器(Source Follower)電路組態所設計的緩衝器如圖 7 所示， V_{in} 端連接振盪器電路的高頻輸出信號端，並透過 V_{out} 端與量測儀器連接以達成隔離效果。並透過 ADS 協助量測緩衝器輸出端的 S 參數，再以 LC 匹配電路設計，使緩衝器的輸出達成 50 Ω 的特性阻抗得以匹配量測儀器。但是額外增加的緩衝器及匹配電路將影響振盪器電路特性，必須在電路設計

時，考量緩衝電路元件及相關元件與基底間的寄生電容效應；同時，也一併考慮佈局後的振盪器電路。

Design Parameters	Specification
$I_{max}=I_{bias}$	<3 mA
f_{center}	5 GHz
Tuning range	> 4%
Inductance	1.5 nH

表 4. 可變電容最大值與通道寬度設計對應表

$C_{v,max}$ (pF) \ w (μm)	20	30	40	50
0.43	#1	#2	#3	#4
0.37	#5	#6	#7	#8
0.31	#9	#10	#11	#12
0.25	#13	#14	#15	#16

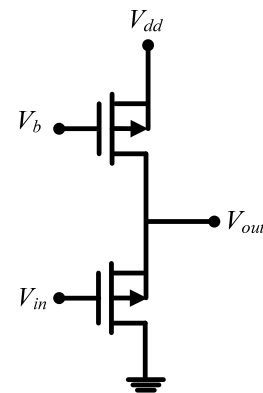


圖 7. 緩衝電路架構示意圖。

振盪器電路，金屬導線與矽基底間的寄生電容，將兩寄生效應估算所額外產生的 0.85 pF 設定為負載電容 C_{load} ，以取代緩衝電路與佈局產生的寄生效應；並將 C_{load} 掛載於圖 1 pn 互補式交叉耦合壓控振盪器電路進行相關設計。

四、結果與討論

依表 3 所列的電路規格藉由 VCO 設計理論，所得 pn 互補式交叉耦合壓控振盪器之設計窗口，再結合表 4 所列的 16 個設計結構點，涵蓋整體設計窗口，其座落的位置與設計窗口的關係，如圖 8 所示。根據 16 個結構點的設

計參數，藉由 ADS 驗證以偏移載波(Offset Frequency) 100 kHz 位置的相位雜訊，並結合

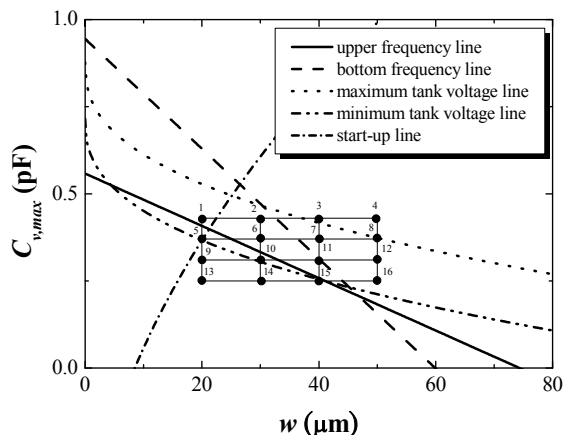


圖 8. pn 互補式交叉耦合振盪器設計窗口設計結構點示意圖。

設計參數的通道寬度與可變頻率最大值，透過三維特性曲線圖(3D, 3 Dimensions)展現每一設計點的特性，彙整 16 個結構設計點的結果，所展現設計窗口的特性，如圖 9 所示。振盪器參數 $C_{v,max}$ 為 0.43 pF 且 w 為 40 與 50 μm 的二個設計點，驗證結果顯示無法正常工作。根據第 2.2 節的限制條件得知，當操作電壓小於最小電壓限制線時，由於主動電路開極端跨壓低於啟動電壓，使得電晶體之通道無法順利開啟，因此電路無法工作。而在 $C_{v,max}$ 為 0.37 與 0.43 pF，且 w 為 20 μm 時，又根據第 2.3 節的限制條件得知，當設計點座落在啟動限制曲線的左方區域時，由於電晶體迴路增益不足以克服整體電路的損耗，此也將導致電路無法工作。除了 $C_{v,max}$ 為 0.43 且 w 為 30 μm 的設計點，不吻合之外；剩餘的 11 個設計點，根據第 2 節的理論，則都座落在可以產生振盪的區域，此結果與透過 ADS 模擬軟體所得結果一致，驗證本篇論文提出的設計窗口技術確實可獲致產生振盪設計的電路。

圖 9 顯示 ADS 模擬 16 個結構設計點所產生振盪的訊號，都以偏移載波 100 kHz 位置的相位雜訊進行比較。當 $C_{v,max}$ 越小且 w 越寬的設計點，所得相位雜訊越低；而當固定 $C_{v,max}$ 時，則相位雜訊隨著 w 變窄時增大；同樣地，當固定 w 時，其相位雜訊也隨著 $C_{v,max}$ 逐漸增加同樣地增大。如果設計點座落在較大的 $C_{v,max}$ 及較窄的 w ，相位雜訊特性最差。將圖 9 的結果與圖 8 的設計窗口比對發現，當設計點座落在越小的 $C_{v,max}$ 搭配越寬的 w 時，且此設

計點距離啟動限制線較遠，由於距離啟動限制線較遠，所以主動電路所提供之迴路增益較

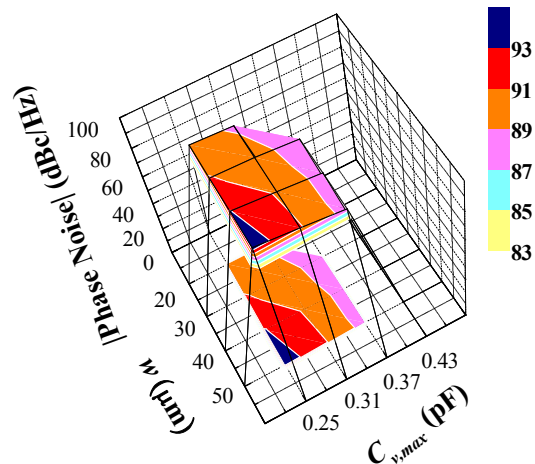


圖 9. 設計窗口的相位雜訊特性分佈伴隨通道寬度與可變頻率最大值變化的特性曲線圖。

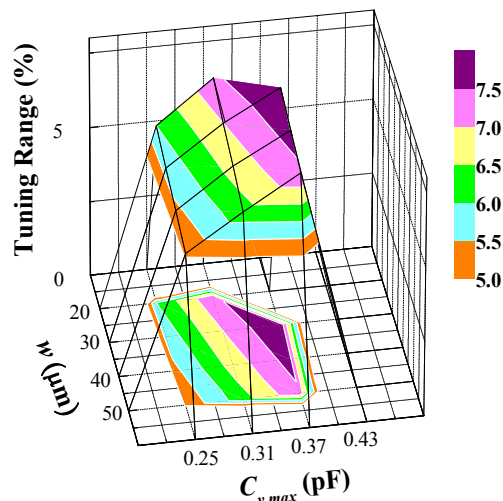


圖 10. 設計窗口的可調頻率範圍特性分佈伴隨通道寬度與可變頻率最大值變化的特性曲線圖。

高，而使得訊號振幅較大，因此相位雜訊足以獲致較佳的特性[9]；相對地，當設計點座落的位置距離啟動限制線越近時，此時電晶體的增益較小，意味克服電路損耗的能力降低，而導致訊號振幅較小，因此相位雜訊的特性較差。根據上述，如果電路設計針對相位雜訊特性提昇時，必須將設計點座落於距離啟動條件限制線較遠的位置，再佐以考量設計點位置距離最大電壓限制線距離越近，則相位雜訊特性則越好。

圖 10 顯示設計窗口的可調頻率範圍的特性分佈圖，在可調頻率範圍的特性展現上，當 $C_{v,max}$ 越小且 w 越寬的設計點，可調頻率範圍

越小；如果設計點座落在較大的 $C_{v,max}$ 及較窄的 w 位置時，可調頻率範圍最大。將圖 10 與

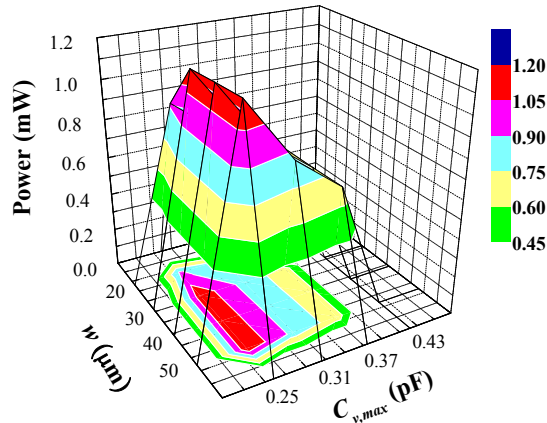


圖 11. 設計窗口的消耗功率特性分佈伴隨通道寬度與可變頻率最大值變化的特性曲線圖。

圖 8 的設計窗口比對，當 $C_{v,max}$ 越小且 w 越寬的設計點，其座落的位置與頻率限制線交點較為接近，因為當通道寬度變寬時，電晶體之寄生電容伴隨著增加而導致 C_{ratio} 變小，使得可調頻率範圍變小，因此可調頻率範圍較接近 4% 的規格要求；相對地，當設計點座落的位置在背離設計窗口交點的方向上，則距離交點越遠，可調頻率範圍越大，由於這些設計點的可變電容最大值較大，而使得 C_{ratio} 變大，獲致電路的可調頻率範圍增加。總之，在所設計之設計窗口中，一旦將設計點座落在頻率限制線的交點時，該可調頻率範圍特性恰為滿足規格之要求；而如果將設計點座落背離交點方向時，則將獲致較大之可調頻率範圍。

圖 11 顯示消耗功率與 w 與 $C_{v,max}$ 的三維特性曲線圖，圖中 $C_{v,max}$ 越小的設計點具有較大的功率消耗；而隨著 $C_{v,max}$ 逐漸增大，則功率消耗則越來越小。將圖 11 的結果與圖 8 的設計窗口比對發現，由於電壓限制曲線與電流相關，在設計窗口中，以最小電壓限制線的驅動電流最小，而隨著可變電容最大值減少時，則越來越接近最大電壓限制線，所代表的是電路的驅動電流越大，因此，在 $C_{v,max}$ 越小時，功率消耗越大。而設計窗口展現的中心頻率分佈如圖 12 所示，滿足 5 GHz 中心頻率的設計點都座落於最大、小頻率限制線之間；如果設計點座落在最大頻率限制線以下的區域時，則中心頻率朝高頻偏移；相對地，如果座落在最小頻率線以上的區域時，則中心頻率朝低頻偏移。對照圖 8 可知滿足 5 GHz 中心頻率的設計

點都座落於設計窗口內。

利用 ADS 模擬軟體驗證設計窗口之結果

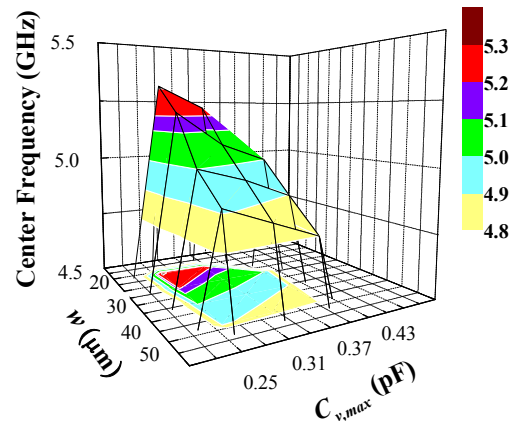


圖 12. 設計窗口的中心頻率特性分佈伴隨通道寬度與可變頻率最大值變化的特性曲線圖。

，無論在相位雜訊、可調頻率範圍、功率損耗以及中心頻率等三維特性曲線特性分佈，都與模擬結果吻合。根據圖 9-12 顯示，如果設計窗口之中， $C_{v,max}$ 越小，則提供之功率越大，相位雜訊之特性也越低；當相位雜訊越低時，可調頻率範圍則越小，此結果發生在高、低頻率限制線的交點。相位雜訊與功率損耗之特性具有正比之關係，並與可調頻率範圍成反比之關係。綜整以上結果，顯示 VCO 的特性指標彼此間是互相連動，任何電路設計無法同時設計出低相位雜訊、寬可調頻率範圍之振盪器，因此，特性指標彼此間必須有所權衡。表 5 彙整所有設計窗口驗證分析的結果，並詳列設計參數與特性參數的影響關係及特性參數間彼此的影響。若以降低相位雜訊為目標時，相對地將使得可調頻率範圍縮小或伴隨增加功率損耗，且設計參數 w 則必須變寬，並減少 $C_{v,max}$ ；而當設計以較寬可調頻率範圍為目標時，則將犧牲相位雜訊之特性，但卻可因此獲致較低之功率損耗，同時在設計參數的應用上，則必須採用較窄的 w 以減少寄生電容，並提高 $C_{v,max}$ ，以獲致 C_{ratio} 的增加而達成寬頻調整之目的。

綜上所述，振盪電路的特性指標彼此具有交互及消長之關係，在不改變電路組態架構下，並無法同時設計出滿足多種電路指標特性的 VCO。例如：設計最低相位雜訊的特性時，勢必犧牲可調頻率範圍；抑或增加功率損耗以換取較佳之相位雜訊特性。除非在電路設計時，額外引入效能提昇的設計機制，否則礙難

同時擁有最低相位雜訊與寬可調頻率範圍的 振盪器設計。因此，本研究的設計窗口將協

表 5. 壓控振盪器特性結構分析表

	Phase Noise	Tuning Range	Power Consumption
Phase Noise ↑	↓	↓	↑
Tuning Range ↑	↓	↑	↘
Power Consumption ↑	↑	↘	↓
ω ↑	↑	↓	↑
$C_{v,max}$ ↑	↓	↑	↓

↑ : Increased ↓ : Decreased ↘ : Minor Decreased

助設計的工程師以具有物理之電路設計方法，並藉由特性參數消長關係及設計參數對特性影響之展現，進行最佳化電路的設計及實現，對於未來單晶片射頻積體電路的發展具有非常大之助益。

五、結論

本論文已成功提出以設計窗口設計 5 GHz LC-VCO，並藉由 ADS 軟體模擬設計窗口的特性並驗證理論分析的結果。VCO 的特性指標在設計上，彼此是互相連動、互有消長且必須權衡，利用本論文設計窗口的特性展現分佈，將有利於設計者掌握設計參數特性變化的相關趨勢，獲致最佳化的電路設計。本論文所提出之設計窗口技術，可針對不同規格下之振盪器要求，進行振盪器之設計；雖然在設計窗口的特性指標之展現未臻盡善，但在整體特性的驗證上，足以證實本設計技術之可行性。本方法除可縮短設計時程，並獲致電路製作良率的提昇外，也可迎合未來單晶片射頻積體電路系統的程式化設計需求。

誌謝

作者非常感謝 CIC 提供 ADS 軟體協助本研究的模擬工作；同時也感謝中山科學研究院系製中心張繼禾博士給予寶貴的建議及 XR97403P080PE 學合案提供的經費支援。

參考文獻

[1] ITRS, "Radio frequency and analog/mixed-signal technologies for wireless communications," in International

Technology Roadmap for Semiconductors 2005 Edition, 2005.

- [2] Ussmuller, T., Seemann, K., and Weigel, R., "g_m-Boosted VCO with Low Power Consumption and Large Tuning Range," Proc. EuWiT, Munich, Germany, pp. 288-291, 2007.
- [3] Wu, C. Y. and Yu, C. Y., "A 0.8V 5.9GHz Wide Tuning Range CMOS VCO Using Inversion-Mode Band Switching Varactors," Proc. IEEE CICC, San Jose, USA, pp. 201-204, 2001.
- [4] Berny, A. D., Niknejad, A. M., and Meyer, R. G., "A Wideband Low-Phase-Noise CMOS VCO," Proc. IEEE CICC, San Jose, USA, pp. 5079-5082, 2005.
- [5] Fard, A., "Phase Noise and Amplitude Issues of A Wide-Band VCO Utilizing A Switched Tuning Resonator," Proc. IEEE CICC, San Jose, USA, pp. 23-26, 2005.
- [6] Kim, T. Y., "High Performance SOI and Bulk CMOS 5 GHz VCO," Proc. IEEE RFIC, Philadelphia, USA, pp. 93-96, 2003.
- [7] Liu, T. P., "A 6.5GHz Monolithic CMOS Voltage-Controlled Oscillator," Proc. IEEE ISSCC, pp. 404-405, 1999.
- [8] Razavi, B., "A 1.8-GHz CMOS Voltage-Controlled Oscillator," Proc. IEEE ISSCC, pp. 388-389, 1997.
- [9] Hajimiri, A. and Lee, T. H., "Design Issues in CMOS Differential LC Oscillators," IEEE J. Solid-State Circuits, Vol. 34, No. 5, pp. 717-724, 1999.
- [10] Fard, A. and Andreani, P., "An Analysis of 1/f² Phase Noise in Bipolar Colpitts Oscillators (With a Digression on Bipolar Differential-Pair LC Oscillators)," IEEE J. Solid-State Circuits, Vol. 42, No. 2, pp. 374-384, 2007.

- [11] Jia, L., Ma, J. G., Yeo, K. S., and Do, M. A., "A Novel Methodology for the Design of LC Tank VCO with Low Phase Noise," Proc. IEEE ISCAS, pp. 376-379, 2005.
- [12] Lee, T. H., The Design of CMOS Radio-Frequency Integrated Circuit, Cambridge University Press, Cambridge, UK, Chapter 10, 1998.
- [13] Hsieh, H. H. and Lu, L. H., "A Low Phase Noise K-Band CMOS VCO," IEEE Microw. Wireless Compon. Lett., Vol. 16, No. 10, pp. 552-554, 2006.
- [14] Svelto, F., Deantoni, S., and Castello, R., "A 1.3-GHz Low-Phase-Noise Fully Tunable CMOS LC VCO," IEEE J. Solid-State Circuits, Vol. 35, No. 3, pp. 356-361, 2000.
- [15] Zannoth, M., Kolb, B., Fenk, J., and Weigel, R., "A Fully Integrated VCO at 2 GHz," IEEE J. Solid-State Circuits, Vol. 33, No. 12, pp. 1987-1991, 1998.
- [16] Lam, C. and Razavi, B., "A 2.6-GHz/5.2-GHz Frequency Synthesizer in 0.4- μm CMOS Technology," IEEE J. Solid-State Circuits, Vol. 35, No. 5, pp. 788-794, 2000.
- [17] Lin, T. Y., Hang, Y. Z., Wang, H. Y., and Chiu, C. F., "A Low Power 2.2-2.6 GHz CMOS VCO with A Symmetrical Spiral Inductor," Proc. IEEE CICC, San Jose, USA, pp. 25-28, 2003.
- [18] Craninckx, J. and Steyaert, M., "A Fully Integrated CMOS DCS-1800 Frequency Synthesizer," IEEE J. Solid-State Circuits, Vol. 33, No. 12, pp. 2054-2065, 1998.
- [19] Tu, H. L., Yang, T. Y., and Chiou, H. K., "Low Phase Noise VCO Design with Symmetrical Inductor in CMOS 0.35- μm Technology," Proc. IEEE APMC, Suzhou, China, 2005.
- [20] Hershenson, M., Hajimiri, A., Mohan, S. S., Boyd, S. P., and Lee, T. H., "Design and Optimization of LC Oscillators," Proc. IEEE ICCAD, San Jose, USA, pp. 65-69, 1999.
- [21] Wu, H. and Hajimiri, A., "A 10-GHz CMOS Distributed Voltage-Controlled Oscillator," Proc. IEEE CICC, Florida, USA, pp. 581-584, 2000.
- [22] Ham, D. and Hajimiri, A., "Concepts and Methods in Optimization of Integrated LC VCOs," IEEE J. Solid-State Circuits, Vol. 36, No. 6, pp. 896-909, 2001.
- [23] Ben, I. D., Kachouri, A., and Samet, M., "Concepts and Optimization of CMOS LC_VCO Circuits Via Geometric Program," Proc. DTIS, Tozeur, Tunisia, pp. 1-6, 2008.
- [24] Razavi, B., Design of analog CMOS integrated circuits, McGraw-Hill, New York, pp. 113-115, 2001.
- [25] Lee, C. Y., "A Novel Triangularity of Q-Curve Methodology for Si Inductors Design Automation," Japanese J. Applied Physics, Vol. 48, No. 4, 2009.

李志遠等

以非常效率的設計窗口技術實現電感電容壓控振盪器